

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009289

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 2000-185181

(71)Applicant : NEC CORP

(22)Date of filing : 20.06.2000

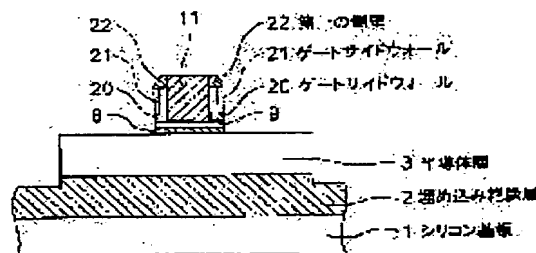
(72)Inventor : KO RISHO

## (54) FIELD EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide sidewall of an insulation film on a gate electrode, and form a structure not converted with an insulation film on the side face of the semiconductor region having unevenness, in a manufacturing method of a field effect transistor formed on the semiconductor area having the unevenness.

SOLUTION: After a gate electrode or a dummy gate electrode 11 for forming the gate electrode is patterned, an insulation film 29 is deposited, and after the upper part of the gate electrode or the dummy electrode is exposed by an etch-back, a first sidewall 22 is provided there, and successively, gate sidewalls 20, 21 are provided by performing an etching-back.



## LEGAL STATUS

[Date of request for examination]

12.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9289

(P2002-9289A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 1 7 K 5 F 1 1 0

21/336

6 1 6 T

6 1 6 A

6 1 8 C

審査請求 未請求 請求項の数22 O L (全 36 頁)

(21) 出願番号

特願2000-185181(P2000-185181)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日

平成12年6月20日 (2000. 6. 20)

(72) 発明者 黄 例昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100075306

弁理士 菅野 中

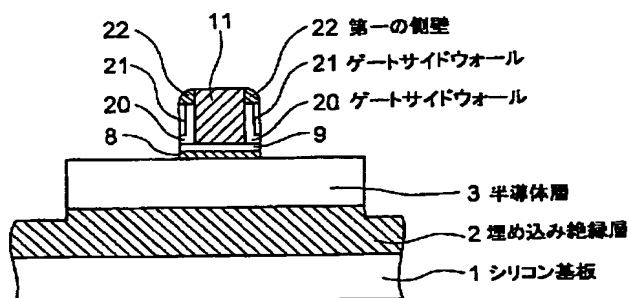
最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ及びその製造方法

(57) 【要約】

【課題】 凹凸のある半導体領域上に形成される電界効果型トランジスタの製造方法において、ゲート電極に絶縁膜の側壁を設けるとともに、凹凸のある半導体領域の側面は絶縁膜に覆われていない構造を形成することを可能とする。

【解決手段】 ゲート電極またはゲート電極を形成するためのダミーゲート電極11をパターニング後、絶縁膜20を堆積し、エッチバックによりゲート電極またはダミーゲート電極の上部を露出させたのち、ここに第一の側壁22を設け、続いてエッチバックを行うことにより、ゲートサイドウォール20、21を設ける。



## 【特許請求の範囲】

【請求項 1】 突起形状をもつ半導体領域上に、絶縁膜を介してゲート電極が設けられ、前記ゲート電極の上部の両側に第一の側壁が設けられ、前記第一の側壁の下部に位置するゲート電極の側面に、絶縁膜よりなる側壁が設けられたことを特徴とする電界効果型トランジスタ。

【請求項 2】 前記突起形成を持つ半導体が、絶縁体上に設けられていることを特徴とする請求項 1 に記載の電界効果型トランジスタ。

【請求項 3】 前記突起形成を持つ半導体が、絶縁体上に配列した略矩形の断面を持つ半導体からなることを特徴とする請求項 2 に記載の電界効果型トランジスタ。

【請求項 4】 突起形状をもつ半導体領域上に、絶縁膜を介して導電性のゲート電極を設け、前記ゲート電極を絶縁体中に埋め込む工程と、

前記ゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、前記ゲート電極の上部を露出させ、引続いて露出した前記ゲート電極の両側に第一の側壁を設け、前記ゲート電極及び前記第一の側壁をマスクに前記ゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程と、

前記ゲート電極及び前記ゲート側壁のいずれにも覆われていない部位の、前記ゲート電極の両側の半導体領域に、第一導電型不純物を高濃度に導入したソース／ドレイン領域を設ける工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 5】 突起形状をもつ半導体領域上にダミーゲート電極を設け、前記ダミーゲート電極を絶縁体中に埋め込む工程と、

前記ダミーゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、ダミーゲート電極の上部を露出させ、引続いて露出した前記ダミーゲート電極の両側に第一の側壁を設け、前記ダミーゲート電極及び前記第一の側壁をマスクに前記ダミーゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ダミーゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程と、

前記ゲート電極及び前記ゲート側壁のいずれにも覆われていない部位の、前記ゲート電極の両側の半導体領域に、第一導電型不純物を高濃度に導入したソース／ドレイン領域を設ける工程と、

前記ダミーゲートを除去して形成される空隙に導電性材料を埋め込みゲート電極を形成する工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 6】 前記第一の側壁がポリシリコンであることを特徴とする請求項又は 5 に記載の電界効果型トランジスタの製造方法。

【請求項 7】 前記ゲート側壁が  $\text{SiO}_2$  であることを特徴とする請求項 4 又は 5 に記載の電界効果型トランジ

スタの製造方法。

【請求項 8】 前記ゲート側壁が  $\text{Si}_3\text{N}_4$  であることを特徴とする請求項 4 又は 5 に記載の電界効果型トランジスタの製造方法。

【請求項 9】 前記ゲート側壁のうち、ゲート電極またはダミーゲート電極に接する部分の材質が  $\text{Si}_3\text{N}_4$  であり、 $\text{Si}_3\text{N}_4$  よりなる層の外側が  $\text{SiO}_2$  であることを特徴とする請求項 4 又は 5 に記載の電界効果型トランジスタの製造方法。

10 【請求項 10】 前記第一の側壁が  $\text{Si}_3\text{N}_4$  であることを特徴とする請求項 4 又は 5 に記載の電界効果型トランジスタの製造方法。

【請求項 11】 前記第一の側壁が  $\text{Si}_3\text{N}_4$  であり、前記ゲート側壁が  $\text{SiO}_2$  であることを特徴とする請求項 4 又は 5 に記載の電界効果型トランジスタの製造方法。

【請求項 12】 前記ゲート電極または前記ダミーゲート電極上に、 $\text{Si}_3\text{N}_4$  の層が設けられることを特徴とする請求項 11 に記載の電界効果型トランジスタの製造方法。

20 【請求項 13】 矩形断面を持つ半導体領域を跨ぐように、ゲート絶縁膜を介してゲート電極を設け、続いてゲート電極のうち、少なくとも前記略矩形の断面を持つ半導体領域の上端よりも低い位置を絶縁膜で覆うとともに、前記略矩形の断面を持つ半導体の側面のうちゲート電極に覆われない領域の少なくとも一部を露出させ、前記露出した前記略矩形の断面を持つ半導体の側面に、半導体を選択的に成長させ、選択成長と同時にまたは選択成長後に選択的に成長させた前記半導体に不純物を導入することにより、選択的に成長させた前記半導体をソース／ドレイン領域もしくはソース／ドレインエクステンション領域となすことを特徴とする電界効果型トランジスタの製造方法。

30 【請求項 14】 略矩形の断面を持つ半導体領域を跨ぐように、ダミーゲート電極を設け、続いてダミーゲート電極のうち、少なくとも前記略矩形の断面を持つ半導体領域の上端よりも低い位置を絶縁膜で覆うとともに、前記略矩形の断面を持つ半導体の側面のうちダミーゲート電極に覆われない領域の少なくとも一部を露出させ、前記露出した前記略矩形の断面を持つ半導体の側面に、半導体を選択的に成長させ、選択成長と同時にまたは選択成長後に選択的に成長させた前記半導体に不純物を導入することにより、選択的に成長させた前記半導体をソース／ドレイン領域もしくはソース／ドレインエクステンション領域となす工程と、

40 前記ダミーゲート電極を絶縁膜で覆ったのち、前記ダミーゲート電極の一部を露出させて、該ダミーゲート電極をエッチングにより除去し、得られたスリット中にゲート絶縁膜とゲート電極とを設ける工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

50 【請求項 15】 略矩形の断面を持つ半導体領域を跨ぐ

ように、絶縁体よりなるダミーゲート電極を設け、続いて前記略矩形の断面を持つ半導体の側面のうちダミーゲート電極に覆われない領域の少なくとも一部を露出させ、前記露出した前記略矩形の断面を持つ半導体の側面に、半導体を選択的に成長させ、選択成長と同時にまたは選択成長後に選択的に成長させた前記半導体に不純物を導入することにより、選択的に成長させた半導体をソース／ドレイン領域もしくはソース／ドレインエクステンション領域と成す工程と、

前記ダミーゲート電極を絶縁膜で覆ったのち、前記ダミーゲート電極の一部を露出させて、該ダミーゲート電極をエッチングにより除去し、得られたスリット中にゲート絶縁膜とゲート電極とを設ける工程とを含むことを特徴とする電界効果型トランジスタの製造方法。

【請求項 16】 前記略矩形の断面を持つ半導体が複数配列し、単一のゲート電極または単一のダミーゲート電極を、配列したこれら複数の略矩形の断面を持つ半導体を跨ぐように形成することを特徴とする請求項 13、14 又は 15 に記載の電界効果型トランジスタの製造方法。

【請求項 17】 複数配列した前記略矩形の断面を持つ半導体は、単一のゲート電極または単一のダミーゲート電極が設けられる位置からある一定の間隔を置いた位置において、互いに接続するようにして設けられることを特徴とする請求項 16 に記載の電界効果型トランジスタの製造方法。

【請求項 18】 前記略矩形の断面を持つ半導体の側面への半導体の選択成長時に、単一のゲート電極または単一のダミーゲート電極が設けられる位置からある一定の間隔を置いた位置において、選択成長した半導体は互いに接触して接続することを特徴とする請求項 13、14 又は 15 に記載の電界効果型トランジスタの製造方法。

【請求項 19】 半導体の選択成長を、選択的エピタキシャル成長により実施することを特徴とする請求項 13、14、15、16、17 又は 18 に記載の電界効果型トランジスタの製造方法。

【請求項 20】 前記略矩形の断面を持つ半導体の側面へ選択成長した半導体が、少なくともゲート電極またはダミーゲート電極から一定の範囲内の位置において、ゲート電極またはダミーゲート電極から離れるに従って厚くなるように形成されることを特徴とする請求項 19 に記載の電界効果型トランジスタの製造方法。

【請求項 21】 突起形状をもつ半導体領域上に、絶縁膜を介して導電性のゲート電極を設け、前記ゲート電極を絶縁体中に埋め込む工程と、

前記ゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、前記ゲート電極の上部を露出させ、引続いて露出した前記ゲート電極の両側に第一の側壁を設け、前記ゲート電極及び前記第一の側壁をマスクに前記ゲート電極を覆う前記絶縁体をエッチバックして、前記第一

の側壁の下部において前記ゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程とを含むことを特徴とする請求項 13、14、15、16、17、18、19 又は 20 に記載の電界効果型トランジスタの製造方法。

【請求項 22】 突起形状をもつ半導体領域上にダミーゲート電極を設け、前記ダミーゲート電極を絶縁体中に埋め込む工程と、

前記ダミーゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、ダミーゲート電極の上部を露出させ、引続いて露出した前記ダミーゲート電極の両側に第一の側壁を設け、前記ダミーゲート電極及び前記第一の側壁をマスクに前記ダミーゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ダミーゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程とを含むことを特徴とする請求項 14、16、17、18、19 又は 20 に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】 本発明は、電界効果型トランジスタ及びその製造方法に関するものである。

【0002】

【従来の技術】 シリコンウェハなどの基板上に設けられた絶縁層上に形成される電界効果型トランジスタにおいて、基板上面に対してほぼ垂直な平面に、主たるチャネルが形成される構造の電界効果型トランジスタは、長谷川によって特開昭 64-8670 号公報（第 4 図）に、間によって特開昭 64-27270 号公報（第 2 図）に、久本によって特開平 2-263473 号公報（第 1 図）に、八木下によって特開平 10-93093 号公報にそれぞれ開示されている。前記公報に開示された構造の電界効果型トランジスタを図 50 を用いて説明する。なお、図 50 は特開昭 64-8670 号公報の第 4 図に相当するものである。

【0003】 図 50 に示すように半導体基板 101 上に絶縁体 102 が設けられ、絶縁体 102 上に直方体の半導体層 103 が設けられる。半導体層 103 の表面にはゲート絶縁膜 104 が設けられ、表面にゲート絶縁膜 104 が形成された半導体層 103 を跨いで、ゲート電極 105 が設けられる。ここで、半導体層 103 の表面とは、半導体層 103 の上面及び側面をいう。

【0004】 ゲート電極 105 を挟んだ両側の半導体層 103 は高濃度の不純物が導入されたソース／ドレイン領域を構成している。図 50 に示す例では、直方体の半導体層 103 のうち、ゲート電極 105 に対して手前側と奥側に位置する部分が、高濃度の不純物を含むソース／ドレイン領域を構成している。適当なゲート電圧をゲート電極 105 に印加することにより、直方体の半導体層 103 の側面に主たるチャネルが形成される。半導体層 103 の上面にチャネルが形成されても、そのチャネ

## 5

ル幅が狭いために、キャリアの伝導には支配的でない。通常の半導体層 103 の高さ（図 50 中の a）は、チャネル電流が流れる方向に垂直な面内における直方体の幅（図 50 中の b）よりも大きい。図 50 において、半導体層 103 の幅（図 50 の b）を、両側面のチャネルから半導体層 103 の内部に向かって形成される空乏層幅の合計よりも小さくすることで、動作特性に優れた完全空乏化型の MOSFET が得られる。

【0005】一般的にチャネルが形成される半導体層の両側にゲートを持つ完全空乏化型の MOSFET は、短チャネル効果の抑制に優れるという特徴を持つ。図 50 に示す従来例の電界効果型トランジスタを製造する製造方法は、まず最初に絶縁体 102 上に直方体の半導体層 103 が配置される構造を何らかの方法により形成し、続いて半導体層 103 の表面を熱酸化してゲート絶縁膜 104 を設け、続いてゲート電極材料を堆積した後、これをエッチングにより加工し、ゲート電極 105 を形成するという製造工程を経て、図 50 に示す従来例の電界効果型トランジスタを得ている。

## 【0006】

【発明が解決しようとする課題】しかしながら図 50 に示す従来例の縦型電界効果型トランジスタを製造する製造方法では、ゲートサイドウォール（ゲート側壁）の形成が困難であるという問題がある。

【0007】縦型でない通常の MOSFET では、ソース／ドレインの形成前に、ゲートの側面に絶縁膜の側壁（以下、ゲートサイドウォールという）を設ける。ここで、ゲートサイドウォールは、ソース／ドレイン領域に対して加工を行う工程、例えば、ソース／ドレイン領域への不純物の導入、ソース／ドレイン領域のシリサイド化、ソース／ドレインへの半導体のエピタキシャル成長、選択成長等の工程において、ゲート電極及びチャネル領域を保護することが目的である。

【0008】縦型でない通常の MOSFET において、ゲートサイドウォールを形成する際には、チャネルが形成される平面上にゲート電極を形成した後、全面に絶縁膜を一定の厚さで堆積し、その堆積した絶縁膜に対して RIE（リアクティブイオンエッチング）等により異方的にエッチングを施し、ゲート電極の側面を除いて絶縁膜を除去するという工程を実施することにより、ゲート電極の側面にゲートサイドウォール（ゲート側壁）を設ける。

【0009】ゲートサイドウォールが設けられると、ゲート電極の側面はゲートサイドウォール（絶縁膜）に保護され、一方、ゲート電極もゲートサイドウォールのいずれもが設けられない位置では、半導体の表面が露出するという構造が得られる。

【0010】このような工程は、凹凸のある構造上に、膜を堆積したのち、その堆積した膜に適当な条件で異方性エッチングを施すと、凹凸のある構造の突起部の側面

## 6

にだけ、その堆積した膜を残存させることができる、すなわち凹凸のある構造の突起部の側面に側壁が形成される、という原理に基づくものである。

【0011】しかし、図 50 に示す縦型トランジスタ構造に対して、縦型でない通常の MOSFET における場合と同じ方法によってゲートサイドウォールを設けようとする、図 50 に示す縦型トランジスタ構造では、半導体層 103 自体が突起した形状を呈しているために、半導体層 103 の側面にも側壁が形成される。この場合、所期の構造である、ゲート電極 5 の側面だけに側壁が形成され、ゲート電極 5 もゲートサイドウォール 22 のいずれもが設けられない位置では半導体層 103 の表面（図 50 に示す縦型トランジスタでは半導体層 103 の側面が相当）が露出するという、構造を得られない。

【0012】したがって、チャネル面が基板に対してほぼ垂直なトランジスタの製造方法において、ゲートの側面だけに側壁を持ち、ゲート電極もゲートサイドウォールのいずれもが設けられない位置では、半導体層（図 50 に示す縦型トランジスタでは半導体層 103 の側面が相当）の表面が露出するという、電界効果型トランジスタの製造方法が必要となる。

【0013】本発明の目的は、LSI を構成する微細な縦型電界効果型トランジスタ、特に半導体層の両側にゲート電極を有するダブルゲート縦型電界効果型トランジスタの製造方法として最適な縦型電界効果型トランジスタの製造方法と、その製造方法により得られる縦型電界効果型トランジスタを提供することにある。

## 【0014】

【課題を解決するための手段】前記目的を達成するため、本発明に係る縦型電界効果型トランジスタは、突起形状をもつ半導体領域上に、絶縁膜を介してゲート電極が設けられ、前記ゲート電極の上部の両側に第一の側壁が設けられ、前記第一の側壁の下部に位置するゲート電極の側面に、絶縁膜よりなる側壁が設けられたものである。

【0015】また前記突起形成を持つ半導体が、絶縁体上に設けられているものである。

【0016】また前記突起形成を持つ半導体が、絶縁体上に配列した略矩形の断面を持つ半導体からなるものである。

【0017】また本発明に係る電界効果型トランジスタの製造方法は、突起形状をもつ半導体領域上に、絶縁膜を介して導電性のゲート電極を設け、前記ゲート電極を絶縁体中に埋め込む工程と、前記ゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、前記ゲート電極の上部を露出させ、引続いて露出した前記ゲート電極の両側に第一の側壁を設け、前記ゲート電極及び前記第一の側壁をマスクに前記ゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ゲート電極の側面に絶縁体よりなるゲート側壁を形成す

る工程と、前記ゲート電極及び前記ゲート側壁のいずれにも覆われていない部位の、前記ゲート電極の両側の半導体領域に、第一導電型不純物を高濃度に導入したソース／ドレイン領域を設ける工程とを含むものである。

【0018】また本発明に係る電界効果型トランジスタの製造方法は、突起形状をもつ半導体領域上にダミーゲート電極を設け、前記ダミーゲート電極を絶縁体中に埋め込む工程と、前記ダミーゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、ダミーゲート電極の上部を露出させ、引続いて露出した前記ダミーゲート電極の両側に第一の側壁を設け、前記ダミーゲート電極及び前記第一の側壁をマスクに前記ダミーゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ダミーゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程と、前記ゲート電極及び前記ゲート側壁のいずれにも覆われていない部位の、前記ゲート電極の両側の半導体領域に、第一導電型不純物を高濃度に導入したソース／ドレイン領域を設ける工程と、前記ダミーゲートを除去して形成される空隙に導電性材料を埋め込みゲート電極を形成する工程とを含むものである。

【0019】また前記第一の側壁がポリシリコンである。

【0020】また前記ゲート側壁が $\text{SiO}_2$ である。

【0021】また前記ゲート側壁が $\text{Si}_3\text{N}_4$ である。

【0022】また前記ゲート側壁のうち、ゲート電極またはダミーゲート電極に接する部分の材質が $\text{Si}_3\text{N}_4$ であり、 $\text{Si}_3\text{N}_4$ よりなる層の外側が $\text{SiO}_2$ である。

【0023】また前記第一の側壁が $\text{Si}_3\text{N}_4$ である。

【0024】また前記第一の側壁が $\text{Si}_3\text{N}_4$ であり、前記ゲート側壁が $\text{SiO}_2$ である。

【0025】また前記ゲート電極または前記ダミーゲート電極上に、 $\text{Si}_3\text{N}_4$ の層が設けられるものである。

【0026】また本発明に係る電界効果型トランジスタの製造方法は、矩形断面を持つ半導体領域を跨ぐように、ゲート絶縁膜を介してゲート電極を設け、続いてゲート電極のうち、少なくとも前記略矩形の断面を持つ半導体領域の上端よりも低い位置を絶縁膜で覆うとともに、前記略矩形の断面を持つ半導体の側面のうちゲート電極に覆われない領域の少なくとも一部を露出させ、前記露出した前記略矩形の断面を持つ半導体の側面に、半導体を選択的に成長させ、選択成長と同時にまたは選択成長後に選択的に成長させた前記半導体に不純物を導入することにより、選択的に成長させた前記半導体をソース／ドレイン領域もしくはソース／ドレインエクステンション領域となすものである。

【0027】また本発明に係る電界効果型トランジスタの製造方法は、略矩形の断面を持つ半導体領域を跨ぐように、ダミーゲート電極を設け、続いてダミーゲート電極のうち、少なくとも前記略矩形の断面を持つ半導体領

域の上端よりも低い位置を絶縁膜で覆うとともに、前記略矩形の断面を持つ半導体の側面のうちダミーゲート電極に覆われない領域の少なくとも一部を露出させ、前記露出した前記略矩形の断面を持つ半導体の側面に、半導体を選択的に成長させ、選択成長と同時にまたは選択成長後に選択的に成長させた前記半導体に不純物を導入することにより、選択的に成長させた前記半導体をソース／ドレイン領域もしくはソース／ドレインエクステンション領域となす工程と、前記ダミーゲート電極を絶縁膜で覆ったのち、前記ダミーゲート電極の一部を露出させて、該ダミーゲート電極をエッチングにより除去し、得られたスリット中にゲート絶縁膜とゲート電極とを設ける工程とを含むものである。

【0028】また本発明に係る電界効果型トランジスタの製造方法は、略矩形の断面を持つ半導体領域を跨ぐように、絶縁体よりなるダミーゲート電極を設け、続いて前記略矩形の断面を持つ半導体の側面のうちダミーゲート電極に覆われない領域の少なくとも一部を露出させ、前記露出した前記略矩形の断面を持つ半導体の側面に、半導体を選択的に成長させ、選択成長と同時にまたは選択成長後に選択的に成長させた前記半導体に不純物を導入することにより、選択的に成長させた半導体をソース／ドレイン領域もしくはソース／ドレインエクステンション領域と成す工程と、前記ダミーゲート電極を絶縁膜で覆ったのち、前記ダミーゲート電極の一部を露出させて、該ダミーゲート電極をエッチングにより除去し、得られたスリット中にゲート絶縁膜とゲート電極とを設ける工程とを含むものである。

【0029】また前記略矩形の断面を持つ半導体が複数配列し、単一のゲート電極または単一のダミーゲート電極を、配列したこれら複数の略矩形の断面を持つ半導体を跨ぐように形成するものである。

【0030】また複数配列した前記略矩形の断面を持つ半導体は、単一のゲート電極または単一のダミーゲート電極が設けられる位置からある一定の間隔を置いた位置において、互いに接続するようにして設けられるものである。

【0031】また前記略矩形の断面を持つ半導体の側面への半導体の選択成長時に、単一のゲート電極または単一のダミーゲート電極が設けられる位置からある一定の間隔を置いた位置において、選択成長した半導体が互いに接触して接続するものである。

【0032】また半導体の選択成長を、選択的エピタキシャル成長により実施するものである。

【0033】また前記略矩形の断面を持つ半導体の側面へ選択成長した半導体が、少なくともゲート電極またはダミーゲート電極から一定の範囲内の位置において、ゲート電極またはダミーゲート電極から離れるに従って厚くなるように形成されるものである。

【0034】また突起形状をもつ半導体領域上に、絶縁

10

20

30

40

50

膜を介して導電性のゲート電極を設け、前記ゲート電極を絶縁体中に埋め込む工程と、前記ゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、前記ゲート電極の上部を露出させ、引続いて露出した前記ゲート電極の両側に第一の側壁を設け、前記ゲート電極及び前記第一の側壁をマスクに前記ゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程とを含むものである。

【0035】また突起形状をもつ半導体領域上にダミーゲート電極を設け、前記ダミーゲート電極を絶縁体中に埋め込む工程と、前記ダミーゲート電極を覆う前記絶縁体の上部をエッチングにより除去し、ダミーゲート電極の上部を露出させ、引続いて露出した前記ダミーゲート電極の両側に第一の側壁を設け、前記ダミーゲート電極及び前記第一の側壁をマスクに前記ダミーゲート電極を覆う前記絶縁体をエッチバックして、前記第一の側壁の下部において前記ダミーゲート電極の側面に絶縁体よりなるゲート側壁を形成する工程とを含むものである。

【0036】

【発明の実施の形態】以下、本発明の実施の形態を図により説明する。

（実施形態1）図1は本発明に係る縦型電界効果型トランジスタを示す鳥瞰図、図2は図1の本発明に係る縦型電界効果型トランジスタを真上から見た平面図である。図3は図1及び図2のA1-A1'線断面図、図4は図1及び図2のB1-B1'線断面図、図5は図1及び図2のC1-C1'線断面図である。

【0037】図1に示すように、シリコン基板1上に埋め込み絶縁膜2が設けられ、絶縁膜2上に適当な形にパターンニングされた半導体層3が設けられる。半導体層3には、開口部10の列が半導体層3を横断するように設けられる（図2）。開口部10では半導体層3は除去され、その開口は埋め込み絶縁膜2に達する。

【0038】図2に示すように開口配列領域34において、半導体層3上及び開口部10に露出した埋め込み絶縁膜2上に、開口部10が配列する方向に長辺を持つゲート電極5が設けられる。ゲート電極5の下部に位置する半導体層3（図3参照）は、不純物が導入されないか、あるいは不純物が低濃度に導入され、適当なゲート電圧の印加によりチャネルが形成されるチャネル形成領域7を構成する。

【0039】チャネル形成領域7を構成する半導体層3の上面及び側面には絶縁膜（図1の形態では上面、側面ともにゲート絶縁膜6）が設けられ（図3参照）、チャネル形成領域7を構成する半導体層3は絶縁膜を介して上面と側面においてゲート電極5に向かい合う（図4参照）。ここで、少なくともチャネル形成領域7を構成する半導体層3の側面に設けられる絶縁膜はゲート絶縁膜6であり、ゲート電圧の印加により半導体層3の側面に

チャネルが形成される程度まで膜厚を薄く設定される。

【0040】チャネル形成領域7を構成する半導体層3の上面の絶縁膜は、側面の絶縁膜（ゲート絶縁膜6）と同程度に薄いゲート絶縁膜でも良く、あるいは側面の絶縁膜よりも厚く設けられても良い。また半導体層3の上面の絶縁膜と、側面の絶縁膜の材料は異なっても良い。

【0041】図2に示すように半導体層3のうち、開口部10が配列する領域34の両側に位置する部分は、高濃度の不純物がドーピングされたソース/ドレイン領域4を構成する。ソース/ドレイン領域4とチャネル形成領域7との間の領域は、ソース/ドレイン4と同じ導電型の不純物が高濃度に導入され、ソース/ドレイン領域4とチャネル形成領域7を接続するソース/ドレイン接続部32を構成することとなる（図2参照）。

【0042】本実施形態のソース/ドレイン領域4はソース/ドレインコンタクト16（図35～図37）を介して配線を接続する役割を持つ。またソース/ドレイン接続部32は、ソース/ドレイン領域4とチャネル形成領域7を接続するとともに、不純物の高濃度部とチャネル形成領域が接続する部分の厚さ（伝導経路を構成する半導体層3の水平幅に相当、また通常の電界効果型トランジスタの接合深さに相当）を小さくすることにより、短チャネル効果（トランジスタの微細化に伴うしきい値電圧など諸特性の変動）を抑制する作用を持つ。

【0043】なお、本トランジスタにおけるソース/ドレイン領域4とソース/ドレイン接続部32を合わせた部分が通常のシングルドレイン電界効果型トランジスタにおけるソース/ドレイン領域の作用を持つ部分に相当する。ソース/ドレイン領域からチャネル形成領域に対して浅く延長されたソース/ドレインエクステンションをもつ電界効果型トランジスタに対しては、本実施形態のソース/ドレイン接続部32がソース/ドレインエクステンションに相当する。

【0044】図2に図示していないが、ゲート電極5に覆われていない開口部10内には、トランジスタが完成するまでの間に、各種の絶縁膜堆積工程において、各種の絶縁体が埋め込まれる。但し、開口部10内がすべて絶縁体に満たされる必要はなく、絶縁体が埋め込まれない空洞が一部に残存しても良い。なお、図2では図を見やすくするためにゲート絶縁膜6を図示していない。

【0045】各部分の寸法は例えば以下の通りにする。埋め込み絶縁膜2の厚さは、例えば100nmとする。半導体層3の厚さ（図1における高さaに相当する）は例えば120nmとする。開口部10が配列する方向（A1-A1'線方向）における開口部10の幅は100nm、開口部10が配列する方向に対して直角な方向（C1-C1'線方向）の開口部10の幅は300nmとする。二つの開口部10に挟まれた半導体層3の幅は50nmとする。開口配列領域34の両端では、開口部

10のほぼ半分の大きさを持つ切り欠きが、半導体層3に設けられる。ゲート絶縁膜は、形成するトランジスタにおいて短チャネル効果を抑制するために適した材料及び膜厚の組み合わせを持つようにする。ゲート絶縁膜の材質が $\text{SiO}_2$ の場合、典型的な厚さは1.5~4nmである。

【0046】但し、埋め込み絶縁膜2の厚さには特に制限はない。一般にSIMOXウェハ（シリコン基板中に酸素をイオン注入して作製するSOI基板）では前記埋め込み絶縁層の厚さは100nmから400nm程度、張り合わせウェハ（絶縁膜を介して二枚のシリコン基板を張り合わせて作製したSOIウェハ）の場合に前記埋め込み絶縁層の厚さは、一般に1~3 $\mu\text{m}$ 程度であるが、ELTRAN技術（多孔質シリコンを形成することにより、薄膜シリコン層を分離させる技術）を用いた張り合わせウェハでは、前記埋め込み絶縁層の厚さは、50nm程度のものである。一般に論理回路においては、埋め込み絶縁層を介して熱が逃げやすいように、前記埋め込み絶縁層の厚さは、150nm以下に設定することが望ましいが、本発明の効果は埋め込み絶縁層2の厚さには影響されず、その厚さには制限はない。

【0047】二つの開口部10に挟まれた半導体層3の幅は、ゲート長と同程度か、それよりも小さいことが短チャネル効果抑制の観点から望ましく、ゲート長の半分、またはそれ以下であることが短チャネル効果抑制の観点から特に望ましい。ゲート長には特に制限がないが、本発明が適用される電界効果型トランジスタに対して想定される典型的なゲート長は10nmから0.25 $\mu\text{m}$ の範囲である。半導体層3の幅と高さの関係については、後述の図53を参照して詳述する。

【0048】各部分の材質は、以下の通りにする。埋め込み絶縁膜2は絶縁体であれば良いが、例えば $\text{SiO}_2$ とする。 $\text{SiO}_2$ 以外に、例えば $\text{Si}_3\text{N}_4$ 、 $\text{AlN}$ 、アルミナ、その他金属酸化物よりなる絶縁体、有機材料よりなる絶縁体等を用いても良い。また、埋め込み絶縁膜2を空洞で置き換え、空洞よりなる埋め込み絶縁層をもつトランジスタを形成してもよい。

【0049】本発明の効果を享受するに当たり、半導体層3の材質にも特に制限がないが、通常のLSIプロセスとの互換性という観点からは、単結晶シリコンが最も望ましい。ゲート電極5の材質は必要な仕事関数及び導電率を持つ導電体であれば良い。例えば、 $n^+$ 型または $p^+$ 型のポリシリコン、 $n^+$ 型または $p^+$ 型の多結晶 $\text{SiGe}$ 混晶、 $n^+$ 型または $p^+$ 型の多結晶 $\text{Ge}$ 、 $n^+$ 型または $p^+$ 型の多結晶 $\text{SiC}$ 等の半導体、 $\text{Mo}$ 、 $\text{W}$ 、 $\text{Ta}$ などの金属、 $\text{TiN}$ 、 $\text{WN}$ 等の金属窒化物、白金シリサイド、エルビウムシリサイド等のシリサイド化合物が挙げられる。

【0050】図では、ゲート長（後で形成される二つのソース/ドレイン領域を結ぶ方向のゲート電極5の寸

法。図1、図2、図4では $B1-B1'$ 方向、 $C1-C1'$ 方向の寸法が相当する）は、開口部10を埋めない程度に設定され、例えば150nmとする。但し、開口部10の両端にソース/ドレイン領域が届くように設けられるのであれば、ゲート電極5は開口部10を完全に覆っても良い。チャネル形成領域7を構成する半導体層3には低濃度の不純物が導入されていても良いし、あるいは不純物を全く導入しなくとも良い。不純物は例えば、ホウ素、リン、ヒ素であり、その濃度は $10^{19}\text{cm}^{-3}$ 未満である。素子特性の優れた完全空乏化型動作を得るためには、その濃度は $10^{18}\text{cm}^{-3}$ 未満であることが望ましい。

【0051】ゲート電極5の材料として、その材料の仕事関数がしきい値の制御に適した材料を選ぶ場合（ $\text{Mo}$ 、 $\text{W}$ 、 $\text{Ta}$ などの金属、 $\text{TiN}$ 、 $\text{WN}$ 等の金属窒化物、白金シリサイド、エルビウムシリサイド、 $\text{SiGe}$ 混晶など）、不純物の導入は必要なく、また導入するとしても $10^{18}\text{cm}^{-3}$ 未満で良い。また不純物濃度は、両側側面のチャネルから半導体層3の中央に向かって伸びる空乏層が、少なくともゲート電極5にしきい値電圧を印加した状態で、互いに接する程度まで低濃度に設定すれば、動作特性に優れた完全空乏化動作となるとともに、ダブルゲート構造がもたらす短チャネル効果に対する抑制効果を享受できる。

【0052】ソース/ドレイン領域4にはチャネルの導電型と同一導電型を持つ不純物が高濃度に導入される。 $n$ チャネルトランジスタの場合、リン、ヒ素などの $n$ 型不純物が、 $p$ チャネルトランジスタの場合にはホウ素などの $p$ 型不純物が導入される。ソース/ドレイン領域4に導入される不純物の濃度は $10^{19}\text{cm}^{-3}$ 以上であり、典型的には $5 \times 10^{19}\text{cm}^{-3} \sim 5 \times 10^{20}\text{cm}^{-3}$ である。

【0053】このトランジスタのチャネル形成領域7の電位は、チャネル形成領域7を構成する半導体層3の両側面に設けられたゲート電極5により制御されるので、チャネル形成領域7の電位に対する制御性が高く、短チャネル効果が抑制され、素子の特性が向上する。

【0054】また半導体層3の両側面に配置されたゲート電極5からの電界により、半導体層3の両側面から半導体層3の内部に向かって形成される二つの空乏層の幅の合計よりも、半導体層3の幅（図3の $W_3$ ）を小さくすると、素子を完全空乏化型動作させることができるので、サブスレッショルド特性（しきい値電圧以下のゲート電圧を印加した場合、トランジスタが急峻にオフする度合い）が改善され、基板浮遊効果（半導体層中に余剰キャリアが蓄積することによる異常動作）が抑制される。

【0055】チャネル形成領域7を構成する半導体層3の上面の絶縁膜が薄く、同半導体層3の上面にチャネルが形成される場合、半導体層3の高さ（図3の $h_3$ ）と



半導体層 3 の幅 (図 3 の  $W_3$ ) が同じであれば、両側面のチャンネル幅 (図 3 では縦方向) の合計は、半導体層 3 の上面に形成されるチャンネルの幅 (図 3 では横方向) の 2 倍となる。半導体層 3 の高さ  $h_3$  が半導体層 3 の幅  $W_3$  より大きければ、両側面のチャンネル幅 (図 3 では縦方向) の合計は、半導体層 3 の上面に形成されるチャンネルの幅 (図 3 では横方向) の 2 倍以上となり、側面のチャンネルを、支配的なチャンネルとすることができる。

【0056】従って、チャンネル形成領域 7 を構成する半導体層 3 の高さ  $h_3$  と同半導体層 3 の幅  $W_3$  を同じとするか、あるいは、同半導体層 3 の高さ  $h_3$  を半導体層 3 の幅  $W_3$  よりも大きくすることが望ましい。

【0057】チャンネル形成領域 7 を構成する半導体層 3 の側面に形成されるゲート絶縁膜 6 よりも、等価膜厚 (等価膜厚とは、絶縁膜の厚さを絶縁膜の比誘電率で割り、得られた商に  $SiO_2$  の比誘電率を掛けたものである。) の大きい絶縁膜が、チャンネル形成領域 7 を構成する半導体層 3 の上面に設けられ、その上面にチャンネルを構成するキャリアが誘起されない場合には、チャンネルはチャンネル形成領域 7 を構成する半導体層 3 の両側面にのみ形成される。この場合、一つの伝導経路 (35) 当たりのチャンネル幅は、チャンネル形成領域 7 を構成する半導体層 3 の高さの 2 倍となる。

【0058】ここで、チャンネル形成領域 7 を構成する半導体層 3 の適切な高さ  $h_3$  について、図 53 を参照して説明する。チャンネル形成領域 7 と開口部 10 とが周期的に配列する断面において、一点鎖線で区切った一つの周期を考える。

【0059】片側の側面におけるチャンネル幅を  $W$  とすると、一つの周期をなす構造において、チャンネル幅の合計は  $2W$  となる。

【0060】一方、図 53 におけるチャンネル形成領域 7 を構成する半導体層 3 の横方向の幅を  $W_{si}$  (図 3 の  $W_3$  に相当)、チャンネル形成領域 7 を分離する開口部 10 の幅を  $W_{sp}$  とすると、一つの周期の幅は  $W_{si} + W_{sp}$  となる。同じ領域に通常のトランジスタ (例えば図 52 の構造) を形成した場合に得られるチャンネル幅は  $W_{si} + W_{sp}$  であるから、本発明のトランジスタにおいて通常のトランジスタよりも大きなチャンネル幅を実現するためには、 $2W > W_{si} + W_{sp}$  という条件を満たせば良い。両辺を 2 で割れば  $W > (W_{si} + W_{sp}) / 2$  となる。

【0061】すなわち、 $W$  が  $W_{si}$  と  $W_{sp}$  の平均より大きければ良い。片側の側面のチャンネル幅  $W$  と、チャンネル形成領域 7 の高さ  $h_{si}$  は同じと考えられるので、チャンネル形成領域 7 を構成する半導体層 3 の高さ  $h_{si}$  ( $h_3$ ) が、チャンネル形成領域 7 を構成する半導体層 3 の幅  $W_{si}$  と開口部 10 幅  $W_{sp}$  の平均より大きければ良いと言える。ここで、典型的な一つの例として、チャンネル形成領域 7 を構成する半導体層 3 の幅  $W_{si}$  と開口部 10 幅  $W_{sp}$  が同じ場合を考えると、両者の平均は  $W_{si}$  と等しいの

で、チャンネル形成領域 7 を構成する半導体層 3 の高さ  $h_{si}$  がチャンネル形成領域 7 の幅  $W_{si}$  よりも大きければ良いという結論が得られる。 $W_{si}$  と  $W_{sp}$  は必ずしも等しくないが、 $W_{si} = W_{sp}$  と仮定して得られる  $h_{si} > W_{si}$  という条件を、トランジスタを設計する指針として採用すれば、上の条件  $W > (W_{si} + W_{sp}) / 2$  から、少なくとも大きく外れないトランジスタが得られる。

【0062】また、他の典型的な構造として、チャンネル形成領域 7 を構成する半導体層 3 の幅を開口部 10 の幅よりも小さくする場合には、 $W_{si} < W_{sp}$  であるので、 $h_3 > W_{sp}$  という条件を満たせば、上の条件  $W > (W_{si} + W_{sp}) / 2$  を必ず満たすことができる。

【0063】また、この電界効果型トランジスタは、基板平面にほぼ垂直な半導体層 3 の側面に形成されるチャンネルを、主たる伝導経路とするトランジスタであるにもかかわらず、ソース/ドレイン、及びゲート電極 5 の形状を基板面に投影した際の形状 (図 2) は、通常の電界効果型トランジスタ (図 52) と同一であるという特徴を有する。

【0064】また、素子領域 15 の形状も、中央部を横断する開口部 10 の配列を除けば、通常の電界効果型トランジスタと同一である。すなわち、チャンネル形成領域 7 及びソース/ドレイン接続部 32 は縦型構造を持つが、ソース/ドレイン領域の形状は開口部 10 の周囲を除いて通常の電界効果型トランジスタと同一である。

【0065】このため、ソース/ドレイン領域に対するコンタクト 16、ゲート電極 5 に対するコンタクト 17 についても、通常の電界効果型トランジスタ (図 52) と同様のパターン (図 35) 及び同様の工程によって作製することができる。

【0066】またソース/ドレイン領域についても、開口部 10 の周辺を除けば、通常の電界効果型トランジスタと同様であるので、ソース/ドレイン領域の形成、シリサイド化、あるいは低抵抗化のためにソース/ドレイン領域上に半導体層 3 をエピタキシャル成長、選択成長させる工程などにおいて、従来の電界効果型トランジスタに対するものと同様の工程、あるいは従来の SOI 型電界効果型トランジスタに対するものと同様の工程を用いることができる。

【0067】従って開口部 10 の配列構造を追加することを除けば、通常のトランジスタの場合とほぼ同一のパターンを用いることができ、また開口部 10 の形成及び開口部 10 の周辺に対する加工 (例えばゲート電極 5 の加工) を除いた工程 (例えば、ゲート及びソース/ドレインへのコンタクト形成) では、従来の電界効果型トランジスタに対するものと同様の工程を用いることができるという特徴を有する。

【0068】また、チャンネル部においては、一定の高さ (典型的には  $200\text{ nm}$  以下、好ましくは  $120\text{ nm}$  以下、さらに好ましくは  $60\text{ nm}$  以下) の縦型トランジス

10

20

30

40

50

タが並列に接続される構造を持ち、チャネル幅が各伝導経路に分散されることになり、チャネル幅の大きいトランジスタにおいても、チャネル形成領域 7 の高さが一定に保たれる。

【0069】またチャネル幅の異なるトランジスタを回路内に混在させる場合には、単に配列する伝導経路の数を変えれば良いので、トランジスタの高さを変える必要がなく、トランジスタの高さにおけるバラツキを生じない。

【0070】またトランジスタの高さを一定の値以下に保つことができるので、半導体層 3 の上面からイオン注入など不純物導入手段により不純物を導入した際においても、半導体層 3 の基板平面に垂直な上下方向で不純物濃度の均一性が良い。また、半導体層 3 の上下方向に対してゲート寸法（特に、二つのソース／ドレインを結ぶ方向の長さ、すなわちゲート長）の均一性が良い。また半導体層 3 の基板平面方向の厚さについて、上下方向での均一性が良い。

【0071】ここに述べた半導体層 3 の基板平面に垂直な上下方向における不純物濃度、ゲート寸法、及び半導体層 3 の基板平面方向の厚さについての均一性は、半導体層 3 が薄いほど改善される（チャネル部における半導体層 3 の高さ  $h_{si}$  は 120 nm 以下が好ましく、60 nm 以下がさらに好ましい）。

【0072】また、この電界効果型トランジスタは、チャネル形成領域 7 を構成する半導体層 3 の両側面には、ゲート電極 5 が設けられており、ダブルゲート構造と呼ばれる構造を形成する。これは、薄膜（典型的には 50 nm 以下）の半導体層 3 を挟んで二つのゲート電極 5 が設けられる構造であり、例えば関川によりソリッドステートエレクトロニクス 27 巻 827 頁 1984 年（T. Sekikawa, Solid-State Electronics, vol. 27, p. 827, 1984）、田中により 1991 年アイ・イー・ディー・エム、テクニカルダイジェスト、683 頁～686 頁（T. Tanaka, 1991 IEEE, IEDM, p. 683～686）にそれぞれ開示されている。関川及び田中は基板平面に平行な半導体層の上下にゲート電極を形成する構造を採用することにより、短チャネル効果が抑制されることを報告している。

【0073】しかし、上述した刊行物に開示された構造である、半導体層の上下にゲート電極を設ける構造では、上下のゲート電極を同時に形成できないという問題がある。このため、上下のゲートの位置を自己整合的に決定できず、上下のゲートの位置がずれるという問題、あるいは上下のゲートの寸法（特にゲート長、すなわちソースとドレインを結ぶ方向のゲートの寸法）を揃えられないという問題がある。

【0074】一方、本実施形態の構造は、半導体層 3 の両側面にゲート電極 5 を設けることによりダブルゲート

構造を実現し、短チャネル効果を抑制できる上、両側面のゲート電極 5 を同時に形成することが容易であり（例えば後述の実施形態 3 を参照）、両側面のゲートの位置ずれ、及び寸法の差を従来の技術に比べ大きく低減できる。

【0075】次に、図 1 に示す本発明の縦型電界効果型トランジスタの変形例について説明する。

【0076】図 6 は半導体層 3 に設ける開口部 10 を円形とした例を示す平面図である。図 7 は開口配列領域 34 の両端において半導体層 3 に切り欠きが設けられない構造である。なお、図 6 及び図 7 では、ゲート電極 5 と開口部 10 との位置関係を解りやすくするために、本来はゲート電極 5 の下に隠れている開口部 10 の外形線も表示している。

【0077】図 8 に示すように半導体層 3 に開口部 10 を設ける際に、開口部 10 において、埋め込み絶縁層 2 を一定の深さまで掘り下げ、半導体層 3 の下端よりも少し下の位置までゲート電極 5 の下端が達している。

【0078】ゲート電極 5 の下端と半導体層 3 の下端の位置が揃っている場合、あるいはゲート電極 5 の下端が半導体層 3 の下端よりも上に位置する場合、半導体層 3 の下端、あるいは半導体層 3 の下部コーナー（これらはそれぞれ、通常の電界効果型トランジスタにおける素子領域端、素子領域端のコーナーに相当する）の電位を、ゲート電極 5 により十分に制御することが比較的難しく、ソース・ドレイン間に漏れ電流が流れやすい。

【0079】一方、図 8 に示すように本発明では、半導体層 3 の下端よりも少し下の位置まで、ゲート電極 5 の下端が達するようにすると、半導体層 3 の下端付近における漏れ電流を抑制しやすくなる。

【0080】また図 26 に示すように、埋め込み絶縁層 2 に対してテーパエッチングを施して、半導体層 3 の下端より下の位置で、埋め込み絶縁層 2 の側面が傾斜を持つ形状を形成しても良い。

【0081】また図 26 において、ゲート電極 5 の下端が半導体層 3 の下端よりも下になるため、半導体層 3 の下端の電位に対するゲート電極 5 の制御性を高めることができる。

【0082】なお図 8 及び図 26 は、チャネル形成領域 7 を構成する半導体層 3 の側面と上面の両方に同じ膜厚のゲート絶縁膜 6 を設けた場合を示したが、半導体層 3 の上面と側面での絶縁膜の材質が異なる場合、あるいは半導体層 3 の上面の絶縁膜が側面の絶縁膜のよりも厚い場合のそれぞれに適用しても良い。

【0083】なお、ここでは半導体層 3 下の絶縁体（埋め込み絶縁層 2）の下に、支持基板であるシリコン基板 1 がある場合を述べたが、本発明は電界効果型トランジスタを形成する半導体層 3 の下に何らかの絶縁体があれば適用できる。例えば、サファイア基板上に半導体層 3 を設けた SOS 構造（シリコン・オン・サファイア）

等、半導体層層 3 下の絶縁体自体が支持基板となる構造に対しても適用できる。

【0084】また、支持基板の材質はシリコンでなくとも良く、例えば石英、AlN等の絶縁体であっても良い。この構造は、例えば半導体層 3 となる単結晶シリコンを、SOI 基板の作製に用いられる一般的な張り合わせ工程及び薄膜化工程により、石英、AlN等の絶縁体上に転写すれば形成できる。

【0085】なお、CMOS 構成のインバータ、NAND ゲート、NOR ゲート等のように、ソース/ドレイン領域の一方が専らソースとして使われ、他方が専らドレインとして使われる場合においても、本明細書においては、両者を含めてソース/ドレインと表現している。

【0086】（実施形態 2）次に本発明の他の縦型電界効果型トランジスタについて説明する。

【0087】チャンネル形成領域 7、半導体層 3 に設ける開口部 10、ソース/ドレイン領域 4 の三者の配置について、実施形態 1 のトランジスタに対するいくつかの変形例を述べる。

【0088】図 27 から図 34 は図 2、図 6、図 7 と同じ位置から見た電界効果型トランジスタの平面図において、特に左端を拡大したものである。

【0089】図 27 から図 34 に示すいずれの本発明の縦型電界効果型トランジスタでは、半導体層 3 を横断するように開口部 10 が配列し、開口部 10 が配列する方向に沿って半導体層 3 を跨ぐゲート電極 5 が設けられる。半導体層 3 にはゲート電極 5 及び開口部 10 を挟んで、高濃度の導電性不純物が導入されたソース/ドレイン領域 4 が設けられている。

【0090】ゲート電極 5 の下方に位置する半導体層 3 は不純物濃度が低いチャンネル形成領域 7 を構成し、チャンネルは主にチャンネル形成領域 7 を構成する半導体層 3 の側面に形成される。

【0091】なお、図 27 から図 34 には、ゲート電極 5 と開口部 10 との位置関係を解りやすくするために、本来はゲート電極 5 の下に隠れている開口部 10 の外形線も表示している。またゲート絶縁膜 6 についても、図を見やすくするために省略している。

【0092】実際には図 27 ～図 34 において、ゲート絶縁膜 6 がチャンネル形成領域 7 を構成する半導体層 3 の側面に設けられ、チャンネル形成領域 7 を構成する半導体層 3 の側面はゲート絶縁膜 6 を介してゲート電極 5 に向かい合う。

【0093】またチャンネル形成領域 7 を構成する半導体層 3 の上面にはゲート絶縁膜 6、またはゲート絶縁膜 6 よりも等価膜厚の厚い絶縁膜（例えば図 11 又は図 39 のパッド酸化膜 8 と  $\text{Si}_3\text{N}_4$  膜 9 を合わせたもの）が設けられる。

【0094】二つのソース/ドレイン領域 4 の間には、二つのソース/ドレイン領域 4 を接続する半導体領域で

ある伝導経路 33 が複数設けられた、伝導経路配置領域 31 が設けられている。この伝導経路配置領域 31 の構造は図 1 から図 8、及び図 35 に示したトランジスタ及び、以下に記載するトランジスタ及びその製造方法においても同じである。

【0095】図 27 における斜線部は、伝導経路 33 のうちの一つを明示したものである。伝導経路 33 はチャンネル形成領域 7 と、伝導経路 33 中の高不純物濃度領域であるソース/ドレイン接続部 32 からなる。チャンネル形成領域 7 はゲート電極 5 の下部に位置する不純物濃度が低い（あるいは不純物が導入されない）領域である。

【0096】伝導経路 33 中のソース/ドレイン接続部 32 は、チャンネル形成領域 7 とソース/ドレイン領域 4 との間に位置し、ソース/ドレイン領域 4 と同じ導電型の不純物が高濃度に導入された領域である。なお、ゲート電極 5 の下にソース/ドレイン接続部 32 の一部、またはソース/ドレイン領域 4 の一部が位置する場合、それぞれゲート電極 5 とソース/ドレイン接続部 32 の間、ゲート電極 5 とソース/ドレイン 4 の間に絶縁層が設けられる。この絶縁層の厚さはゲート絶縁膜と同程度であっても良く、またゲート絶縁膜よりも厚くても良い。

【0097】また伝導経路 33 の形態は、チャンネル形成領域 7、伝導経路 33 中の高不純物濃度領域（ソース/ドレイン接続部 32）の両方がゲート電極 5 の下に配置されるものであっても良い（図 28）。

【0098】さらに、チャンネル形成領域 7、ソース/ドレイン接続部 32 に加えて、ソース/ドレイン領域 4 の一部もゲート電極 5 の下部に位置する形態を取っても良い（図 28）。また伝導経路 33 中にソース/ドレイン接続部 32 を持たず、チャンネル形成領域 7 とソース/ドレイン領域 4 が直接接続する形態としてもよいものである（図 29）。

【0099】また、図 27 ～図 29 には、開口部 10 の基板平面への投射形状が、少なくともソース/ドレイン領域 4 付近において曲線を描く場合を示したが、図 30 ～図 31 に示すように、開口部 10 の形状が六角形、八角形等の多角形であっても良い。また図 46 ～図 49 に示すように、ゲート電極 5 の延長方向（開口部 10 が配列する方向に同じ）に対して傾いた、ほぼ正方形である四角形であっても良い。また、図 33 及び 34 に示すように、開口部 10 の幅がソース/ドレイン領域 4 側のある範囲において狭くなる形態を持っても良い。

【0100】図 27 ～図 31、図 33、図 34 及び図 46 ～図 49 に示した実施形態においては、いずれの場合においても、開口部 10 の配列方向（ソース/ドレインを結ぶ方向に対して垂直で、基板表面に平行な方向）の開口部 10 の幅  $W_{sp}$  は、開口部 10 中央（二つのソース/ドレインから等距離の位置）における値（図 27 の  $W_{sp1}$ ）に比べて、ソース/ドレイン領域付近において小

さくなる（例えば図 27 の  $W_{sp2}$ ）。逆に、伝導経路 3 を構成する半導体層 3 の幅  $W_{si}$  は、チャネル形成領域中央（二つのソース／ドレインから等距離の位置）における値（図 27 の  $W_{si1}$ ）に比べ、ソース／ドレイン領域 4 付近において大きくなり（例えば図 27 の  $W_{si2}$ ）、ソース／ドレイン領域 4 に接続する位置において最大となる。

【0101】すなわち、図 27～図 31、図 33、図 34 及び図 46～図 49 の形状は、いずれも、チャネル形成領域 7 からソース／ドレイン領域 4 にかけて半導体層 3 の幅  $W_{si}$  が広がる形態を持つが、この場合、チャネル形成領域 7 の横方向の幅  $W_{si}$ 、あるいは少なくともチャネル形成領域 7 の中央部における幅  $W_{si}$  が小さくなるので、通常の SOI 型電界効果型トランジスタにおいて半導体層を薄膜化することと同じく、S ファクタの改善、短チャネル効果の抑制などに効果があり、トランジスタの特性が向上する。

【0102】その一方、ソース／ドレイン領域に接する位置では伝導経路 3 を構成する半導体層 3 の幅が大きくなるので、寄生抵抗が低減できる。

【0103】さらに、高濃度の不純物を含む領域であるソース／ドレイン接続部 32 を有する（図 27、図 28、図 30、図 31、図 33、図 34、図 46～図 49 の形状）伝導経路 33 を持つ場合、ソース／ドレイン接続部 32 とチャネル形成領域 7 との接触面積が小さくなる。

【0104】通常の電界効果型トランジスタにおいて高濃度不純物領域であるドレイン接合を浅く形成した場合、高不純物濃度で接合の浅いソース／ドレインエクステンションを設けた場合、あるいは SOI 型電界効果型トランジスタにおいて半導体層を薄膜化することにより高濃度不純物領域であるドレインを薄く形成した場合等と同じく、高濃度不純物領域とチャネル形成領域が接触する部分で、高濃度不純物領域の断面積が減るので、短チャネル効果が抑制され、トランジスタの特性が向上する。

【0105】本発明によれば、開口部 10 の配列方向におけるソース／ドレイン接続部 32 の幅をチャネル形成領域 7 を構成する半導体層 3 と接する部分では小さくすることにより短チャネル効果抑制作用が得られると同時に、開口部 10 の配列方向におけるソース／ドレイン接続部 32 の幅をソース／ドレイン領域 4 と接する部分では大きくすることにより寄生抵抗抑制作用が得られ、上述した第 3 の課題を抑制できる。

【0106】また開口部 10 の形状は図 32 のような四角形でも良い。この場合、 $W_{si}$ 、 $W_{sp}$  はともに一定である。この場合は、構造が単純であり、製造が容易であるという特徴がある。また、以下に述べるように、寄生容量 36 が小さいという特徴がある。

【0107】次にゲート側面とソース／ドレイン側面間

の寄生容量 36 について、図 54～図 57 を参照して説明する。図 54 はゲート端とソース／ドレイン領域 4 の間に開口（もしくは開口内に絶縁体が埋め込まれた空間）がある場合を示す平面図である。図 54 に示す形態は、ソース／ドレイン接続部 32 のうち少なくとも一部がゲートに覆われていない場合に相当する。

【0108】図 55 はゲート端とソース／ドレイン領域 4 の間に開口（もしくは開口内に絶縁体が埋め込まれた空間）がない場合を示す平面図である。図 54 に示す形態は、ソース／ドレイン接続部 32 のすべてがゲートに覆われている場合に相当する。

【0109】なお図 54 及び図 55 では、図を見やすくするために、実際にはゲート電極 5 の下に隠れている開口部 10 の外形線及びゲート絶縁膜 6 の外形線を明示している。

【0110】図 56、図 57 はそれぞれ図 54 の A205-A205' 線断面図、図 55 の A206-A206' 線断面図である。

【0111】図 54、図 56 に示すゲート端とソース／ドレイン領域の間に開口部 10 がある構造では、ゲート 5 の側面とソース／ドレイン領域 4 の側面が開口部 10 に相当する間隔だけ離れるので、ゲート側面とソース／ドレイン側面間の寄生容量 36 は小さい。

【0112】これに対して図 55、図 57 に示すゲート端とソース／ドレイン領域の間に開口部がない構造では、ゲート側面とソース／ドレイン側面の距離が小さいので、ゲート側面とソース／ドレイン側面間の寄生容量 36 は大きくなり、素子の高速動作に不利になる。

【0113】本発明に係る縦型電界効果型トランジスタの開口部 10 には、PSG の堆積工程、層間絶縁膜の堆積工程等の絶縁膜を堆積する工程において、 $SiO_2$ 、PSG 等の絶縁膜が埋め込まれるが、開口部 10 内が  $SiO_2$ 、PSG 等の絶縁体により完全に満たされていない、あるいは開口部 10 内に絶縁体に満たされない空洞が残存した場合にも、図 54 及び図 56 の構造における寄生容量 36 が、図 55 あるいは図 57 の構造における寄生容量 36 よりも小さくなることに変わりはない。

【0114】したがって、ソース／ドレイン接続部 32 のうち、少なくとも一部が、側面、上面ともゲート電極 5 に覆われていない構造（図 27、図 30～図 34、及び図 46～図 49 の構造）は、寄生容量の低減において有利と言える。

【0115】図 1、図 6、図 7、図 27～図 34 の構造では、チャネル面が（100）面（あるいはこれに等価な面）または（100）面（あるいはこれに等価な面）から小さく傾いた面になるように、開口部 10 の配列方向が [100] 方向（あるいはこれに等価な方向）になるようにする。正方形の開口部 10 の一辺が開口部 10 の配列方向に対して 45 度傾いた図 46 から図 49 の構造では、開口部 10 の配列方向が [110] 方向（ある

10

20

30

40

50

いはこれに等価な方向)になるようにすると、チャンネル面が(100)面(あるいはこれに等価な方向)に形成される。

【0116】チャンネル面が(100)面または(100)面から小さく傾いた面に形成されると、界面準位が少ない点、またチャンネルキャリアの移動度が大きい点において優れた特性が得られる。

【0117】なお、図46から図49は同一のトランジスタに関する図であり、図46は開口部とゲート電極の位置関係を示し、図47はソース/ドレイン及びゲートに対するコンタクト形成後の平面図、図48は半導体層の形状に対する鳥瞰図、図49はゲート電極形成後の鳥瞰図であり、図49においては図を見やすくするためにゲート絶縁膜を省略している。

【0118】また、図49は、ソース/ドレイン接続部32において、マスク膜9とパッド膜8が除去された場合について示している(両者は必ずしも除去されなくても良い)。

【0119】なお本実施形態に記載した様々な開口部、及びソース/ドレイン接続部の形状は、実施形態1に記載の各種形態に対して適用することができる。また本実施形態に記載した様々な開口部、及びソース/ドレイン接続部の形状は、チャンネル形成領域の上部にチャンネル形成領域の側面と同じ厚さの絶縁膜があるトランジスタ、チャンネル形成領域の上部にチャンネル形成領域の側面よりも厚い絶縁膜があるトランジスタ、チャンネル形成領域の上部に多層の絶縁膜があるトランジスタに適用でき、これらいずれに適用しても、本発明の効果を達成することができる。

【0120】(実施形態3)次に本発明に係る実施形態1及び実施形態2に示した縦型電界効果型トランジスタを製造する製造方法を工程順に説明する。

【0121】図9に示すように、シリコン基板1上に厚さ100nmのSiO<sub>2</sub>よりなる埋め込み絶縁層2を持ち、その上部に厚さ120nmの単結晶シリコン層よりなる半導体層3を持つSOI(シリコン・オン・インシュレータ)基板を用意する。

【0122】次に半導体層3の上面を20nm熱酸化することにより半導体層3上にパッド酸化膜8を設け、パッド酸化膜8上にCVD法により厚さ50nmのSi<sub>3</sub>N<sub>4</sub>膜9を設ける。

【0123】次にリソグラフィ工程により、開口部が配列したパターンを持つレジストパターンを設け、これをマスクとして、RIE等の通常のエッチング工程によりパッド酸化膜8及びSi<sub>3</sub>N<sub>4</sub>膜9をパターンニングする。

【0124】次に図10に示すように、開口部10が配列したパターンを含む一定の領域(例えば図9においてA9の点線で囲んだ範囲)を覆うレジストパターンを設け、このレジストパターンをマスクとして、Si<sub>3</sub>N<sub>4</sub>膜9、パッド酸化膜8をRIEによりパターンニングする。

【0125】引き続きレジストを除去したのち、残ったSi<sub>3</sub>N<sub>4</sub>膜9、パッド酸化膜8をマスクとして、シリコンに対するエッチング速度がSi<sub>3</sub>N<sub>4</sub>膜に対するエッチング速度より速い選択的なRIE(リアクティブイオンエッチング、反応性イオンエッチング)を行い、半導体層3をパターンニングする。

【0126】図10に示す段階で、一定の領域(この場合、A9の点線で囲んだ範囲)以外のSi<sub>3</sub>N<sub>4</sub>膜9、パッド酸化膜8、半導体層3が取り除かれる。

【0127】またシリコンのエッチングに続いて、SiO<sub>2</sub>に対するエッチング速度がSi<sub>3</sub>N<sub>4</sub>膜に対するエッチング速度より速い選択的なRIEを行うことにより、開口部10においてSiO<sub>2</sub>膜2の上端が半導体層3の下端よりも下に位置する形状(図8)、あるいは開口部10においてSiO<sub>2</sub>膜2の表面が傾斜した形状(図26)を得ることもできる。またSi<sub>3</sub>N<sub>4</sub>膜9とパッド膜(パッド酸化膜8)の二層構造は、Si<sub>3</sub>N<sub>4</sub>膜9だけの単層構造であっても良い(以下、適宜、単層構造と多層構造のものを併せて、マスク膜9という)。

【0128】またマスク膜の材質は半導体層3を選択的にエッチングできる材料であれば良く、例えばSiO<sub>2</sub>でも良い。また、開口部10の形状は、ここに示した形に限らない。例えば、図27~図34、図46から図49に示した形であっても良い。ここで述べた工程においてSiO<sub>2</sub>からなるパッド膜8を設けた主な理由は、Si<sub>3</sub>N<sub>4</sub>膜9と半導体層3が直接接触することによって半導体層3に応力がかかることを防ぐこと、Si<sub>3</sub>N<sub>4</sub>膜9と半導体層3が直接接触することによってSi<sub>3</sub>N<sub>4</sub>膜9と半導体層3との界面に多量の界面準位が発生することを防ぐこと等、Si<sub>3</sub>N<sub>4</sub>膜9と半導体層3が直接接触することにより発生する問題を避けることにある。Si<sub>3</sub>N<sub>4</sub>膜9と半導体層3が直接接触させることにより発生する問題の影響が小さい場合は、パッド酸化膜8を省略しても良い。

【0129】また図10に示す構造を形成した後、エッチングにより半導体層3に開口部10を形成し、その後埋め込み絶縁層2の上部をエッチングする場合、エッチングによりマスク膜が全て失われることを防ぐために、マスク膜の材質と埋め込み絶縁層2の材質との組み合わせを、埋め込み絶縁層だけを選択的にエッチングできるように選ぶことが好ましい。また、この条件が成り立たない組み合わせである場合は、以下のようにする。例えば、マスク膜9が埋め込み絶縁層2と同じSiO<sub>2</sub>である場合、埋め込み絶縁層2のエッチング時にマスク膜9の一部が除去されることを見込んで、マスク膜9を厚めにすれば良い。一般的に言えば、開口部10における半導体層3のエッチング後に埋め込み絶縁層2をエッチングする場合で、かつ埋め込み絶縁層2の材質とマスク膜9の材質が同じである場合、埋め込み絶縁層2をエッチングする深さT<sub>boxov</sub>よりも、マスク膜の厚さT

mask を大きくすれば良い。

【0130】また、半導体層 3 が露出した後、半導体層 3 の表面にゲート絶縁膜を形成する前に露出した半導体層 3 の側面の平坦化と清浄化を行うための熱処理工程を追加しても良く、例えば水素アニールを実施する。典型的な水素アニールの条件は 10～50000 Pa、850～1100℃、5～60 分程度とする。但し、特に開口部 10 間の間隔が狭く半導体層 3 の基板平面方向の厚さが薄い場合には、半導体層 3 の凝集を避けるため、より短時間、あるいはより低温で熱処理しても良い。また水素雰囲気中に HCl 等、他の気体を混合しても良い。

【0131】また半導体層 3 を横断するように配列する開口部 10 を設けたのち、露出した半導体層 3 の側面を SiO<sub>2</sub> 膜で覆い、温度 980℃ 以上（より望ましくは温度 1200℃ 以上）、1 時間以上の熱処理を実施することにより、露出した半導体層 3 の側面を平坦化する工程を追加しても良い。ここで、980℃ 以上の温度は SiO<sub>2</sub> 膜に流動性を持たせるために必要な温度であり、1200℃ 以上の温度は流動の顕著化に必要な温度である。熱処理は窒素中で行うか、あるいは Ar などの不活性ガス中で行う。また熱処理を行う雰囲気中に酸素を混合し、露出した半導体層 3 の側面を酸化させることにより、チャネル形成領域 7 を構成する半導体層 3 の幅 W<sub>si</sub> を小さく（チャネル形成領域 7 を構成する半導体層 3 の基板平面方向の厚さを薄く）する工程を実施しても良い。

【0132】また半導体層 3 を横断するように配列する開口部 10 を設けたのち、露出した半導体層 3 の側面を絶縁膜で覆う。この絶縁膜は、例えば SiO<sub>2</sub> 膜、Si<sub>3</sub>N<sub>4</sub> 膜等の絶縁体よりなり、また例えば複数の絶縁体からなる多層膜よりなる。レーザービーム、電子ビーム等のビーム、電気ヒータ等の熱源により加熱することによって、伝導経路あるいはチャネル形成領域が形成される半導体領域（半導体層）のうち側面付近の一部領域を熔融して、再結晶化させる工程を行っても良い。

【0133】また、同じくレーザービーム、電子ビーム等のビーム、電気ヒータ等の熱源により加熱することにより、伝導経路あるいはチャネル形成領域が形成される半導体領域（突起形状の半導体層）の全体を熔融し、熔融した領域を再結晶化しても良い。この工程の目的は、RIE 工程により半導体層 3 の側面に発生した凹凸を平坦化することである。レーザービームや電子ビーム等のビームのパワー及びエネルギー、電気ヒータの温度、ビーム及び電気ヒータの走査速度は、望ましくは伝導経路あるいはチャネル形成領域が形成される半導体領域（突起形状の半導体層）の表面だけが熔融してその内部は熔融しないか、あるいは伝導経路が形成される突起部は熔融してソース/ドレイン領域が形成される半導体領域（突起形状の半導体層）は熔融しない程度に設定されることが好ましい。

【0134】これは、ビーム走査の後、基板の温度が低下する過程で、それぞれ熔融していない半導体領域（突起形状の半導体層）の内部の領域、あるいは熔融していないソース/ドレイン領域を種結晶（シード）として、熔融した領域を再結晶化させるためである。

【0135】また熔融再結晶化に伴い、埋め込み絶縁層 2 中に発生した固定電荷またはトラップ等の欠陥を除去することを目的として、熔融結晶化後に高温の熱処理工程（1000℃ 以上、典型的には 1300～1360℃、1 時間以上、酸化雰囲気または非酸化雰囲気）、または酸化雰囲気中のより低温の熱処理工程を行っても良い。

【0136】次に CVD 法を用いて、SiO<sub>2</sub> よりなるダミーゲート絶縁膜 18 を形成するための絶縁膜を 10 nm 堆積し、RIE によりエッチバック（平坦部に堆積した材料膜を除去して、側壁部に堆積した材料膜を残す工程）することにより、半導体層 3 における開口部 10 の内壁及び半導体層 3 の側面（素子領域をなす半導体層 3 の周囲の側面）にダミーゲート絶縁膜 18 を設ける。

【0137】引き続き CVD によりポリシリコンを堆積し、これを通常のリソグラフィ及び RIE により加工し、ダミーゲート電極 11 を設ける。この段階での形状は、パッド酸化膜 8、Si<sub>3</sub>N<sub>4</sub> 膜 9 が存在すること、ゲート絶縁膜 6 及びゲート電極 5 の代わりにそれぞれダミーゲート絶縁膜 18、ダミーゲート電極 11 があることを除けば、図 1 と同様である（図 39 においてダミーゲート電極 11 が設けられた形状に相当。但し、図 39 では図を見やすくするため、ダミーゲート絶縁膜 18 を省略）。

【0138】ここで、ダミーゲート絶縁膜 18 及びダミーゲート電極 11 を形成したのは、後に、これらを除去して得られた空間に、改めてゲート絶縁膜 6 及びゲート電極 5 を形成する、いわゆる置換ゲート工程を実施するための準備である。

【0139】置換ゲート工程を行わない場合は、ここでダミーゲート絶縁膜 18 を形成する代わりにゲート絶縁膜 6 を、ダミーゲート電極 11 を形成する代わりにゲート電極 5 をそれぞれ形成し（図 39 においてゲート電極 5 が設けられた形状に相当。但し、図 39 では図を見やすくするため、ゲート絶縁膜 6 を省略）、引き続き、以下に述べるソース/ドレイン接続領域への不純物導入、ソース/ドレインの形成、配線の形成を実施してトランジスタを形成すれば良い。この場合、図 11 から図 16 に至る工程において、ダミーゲート絶縁膜 18 に代えてゲート絶縁膜 6 が、ダミーゲート電極 11 に代えてゲート電極 5 が設けられた形状が得られる。

【0140】また、ここ（図 11 に至る工程）で、ダミーゲート絶縁膜 18 を CVD により堆積したのは、もしも熱酸化によりダミーゲート絶縁膜 18 を形成すると、ダミーゲート絶縁膜 18 の除去後に、マスク膜（この場

合はパッド酸化膜 8 と  $\text{Si}_3\text{N}_4$  膜 9 の二層膜) の基板平面方向の幅よりもチャネル形成領域 7 を構成する半導体層 3 の基板平面方向幅が狭くなるために、マスク膜の下部でチャネル形成領域 7 を構成する半導体層 3 がマスク膜の端よりも後退して段差が発生し、垂直方向の平坦性が悪化しやすいという問題を防ぐことに特に注意を払ったためである。

【0141】しかし、一般には、ゲート絶縁膜 6 及びダミーゲート絶縁膜 18 は、 $\text{SiO}_2$  以外の絶縁膜であっても良く、また熱酸化により形成した  $\text{SiO}_2$  膜であっても良い。一般にダミーゲート絶縁膜 18 は、半導体層 3 に対して選択的に除去可能な材料であれば良い。

【0142】また、ダミーゲート電極 11 を  $\text{Si}_3\text{N}_4$  等、半導体層 3 に対して選択的に除去できる材料により形成しても良く、ダミーゲート電極 11 が半導体層 3 に対して選択的に除去できる場合にはダミーゲート絶縁膜 18 を省略しても良い。

【0143】引き続き  $\text{Si}_3\text{N}_4$  膜に対して選択性のある条件下で RIE を実施してダミーゲート電極 11 の下部以外のダミーゲート絶縁膜を除去し、次いで全体に P SG (リンガラス) 膜 12 を 200 nm 堆積し、RIE によりこれをエッチバックすることにより、開口部 10 の内壁と、半導体層 3 の側面に側壁状の P SG 膜 12 を設ける。

【0144】この段階での構造を、図 10 の A10-A10' 線断面図である図 11、図 10 の B10-B10' 線断面図である図 12、図 10 の C10-C10' 線断面図である図 13 に示す。

【0145】この工程において P SG を堆積するのは、開口部 10 の内壁に P SG を付着させ、ゲート電極 (またはダミーゲート電極) 5 の両側の開口部 10 に隣接する半導体領域に P SG から高濃度のリンを拡散させ、ゲート電極 5 の両側の半導体層 3 に高濃度 ( $5 \times 10^{18} \text{ cm}^{-3}$  以上、好ましくは  $3 \times 10^{19} \text{ cm}^{-3}$  以上) のリンを導入し、ソース/ドレイン接続部 32 を形成することにある。

【0146】なお、P SG からリンを拡散させるための熱処理 (例えば  $800^\circ\text{C}$  10 秒) は、P SG の堆積直後に行っても良いし、P SG の堆積後、いくつかの工程を経た後に行っても良い。P SG の堆積後に行われる他の熱工程 (例えばソース/ドレインへのイオン注入後の活性化、ゲート酸化) の際に同時に P SG からリンを拡散させる方法を用いても良い。

【0147】図 14 は、開口部 10 のソース/ドレイン方向の幅が大きい場合で、開口部 10 が P SG によって埋め尽くされていないが、この場合においても、開口部 10 の内壁への P SG の付着は保証されるので、問題はない。図 15 は、図 14 に対応する状態における平面図である。P SG からの熱拡散により  $n^+$  型ソース/ドレイン領域 4 が形成された状態の B10-B10' 線断面

に相当する位置における断面図を図 16 に示す。

【0148】なお、p チャネルトランジスタの場合は、BSG (ホウ素ガラス) など、p 型不純物の拡散源を P SG に代えて用いる。また n チャネルトランジスタの場合においても、P SG 以外の n 型不純物拡散源 (例えばヒ素ガラス) を P SG に代えて用いても良い。また、p 型不純物であるホウ素と、n 型不純物であるリンの両方を含む BPSG (ホウ素、リンガラス) において、ホウ素またはリンの一方の割合を高めたものを、それぞれ p 型または n 型のトランジスタの製造に用いても良い。

【0149】ゲート電極 5 の両側、開口部 10 から離れた部分の半導体層 3 には、通常の工程によりソース/ドレイン領域を形成する。例えばイオン注入、プラズマドーピング等により、n チャネルトランジスタの場合は n 型不純物、p チャネルトランジスタの場合は p 型不純物を高濃度 ( $3 \times 10^{19} \text{ cm}^{-3}$  以上、好ましくは  $1 \times 10^{20} \text{ cm}^{-3} \sim 3 \times 10^{20} \text{ cm}^{-3}$ ) に導入する。n 型不純物には例えばリン、ヒ素等ドナーを形成する不純物、p 型不純物には例えばホウ素等アクセプタを形成する不純物を用いる。また、ソース/ドレイン領域に対して寄生抵抗低減のために半導体のエピタキシャル成長、多結晶またはアモルファス半導体の選択成長を施しても良く、またシリサイド化を行っても良い。

【0150】なお、半導体層 3 上のマスク膜 9 は、ダミーゲート電極 11 (あるいはこれに代わるゲート電極 5) の加工時に、半導体層 3 を保護する目的で設けられたものであるが、ソース/ドレイン領域への不純物導入工程、あるいはソース/ドレイン領域のシリサイド化工程には不要であるので、ダミーゲート電極 11 (あるいはこれに代わるゲート電極 5) を RIE により加工して形成した後、ソース/ドレイン領域へ不純物を導入する以前のいずれかの段階において RIE あるいはウェットエッチングにより除去されることが望ましい。

【0151】P SG の堆積後、P SG を RIE によりエッチバックし、P SG よりなる側壁を形成する工程において、ゲート電極下部と P SG 側壁下部を除いた領域のマスク膜 9、パッド酸化膜 8 を同時に除去すれば、図 16 のようにソース/ドレイン領域を形成する領域で半導体層 3 の上面が露出する形状が得られる。

【0152】また、一旦マスク膜 9、パッド酸化膜 8 を残したまま P SG 側壁を形成し (図 12、図 13)、P SG からの不純物拡散後、ソース/ドレイン領域の形成前に、マスク膜 9、パッド酸化膜 8 を除去する事を目的とした RIE を実施しても良い (この時、P SG の上部も除去されるが、P SG からの不純物拡散は既に実施した後なので問題はない。 )。

【0153】またダミーゲート電極 11 (あるいはこれに代わるゲート電極 5) を RIE により加工した後、P SG の堆積以前に、RIE 等のエッチング工程によりマスク膜 9 及びパッド酸化膜 8 を除去しても良い。この場

合、種々の工程を経て最終的に得られる素子形状は図 38 に示したものとなる。PSG の堆積以後のいずれかの段階に、マスク膜 9、パッド酸化膜 8 を除去した場合は、最終的に図 36 の形状が得られる。

【0154】PSG の堆積及びエッチバック後、CVD により  $\text{SiO}_2$  を堆積して層間絶縁膜 13 とし、ダミーゲート電極 11 をストップとして CMP により層間絶縁膜 13 を平坦化する。この時、同時にダミーゲート電極 11 の上部を露出させる。続いて RIE によりダミーゲート電極 11 を除去し、次に RIE によりダミーゲート絶縁膜 18 を除去する。

【0155】続いて熱酸化によりゲート絶縁膜 14 を 2 nm 形成し、ダミーゲート電極 11 を除去して得られたスリット中に TiN 等の導電性材料をスパッタ法により埋め込み、これをゲート電極 5 とする (図 18、図 19)。

【0156】なお、図 19 はゲート絶縁膜 14 を熱酸化により形成した場合の形状、図 18 はゲート絶縁膜 14 を CVD により形成した場合の形状である。

【0157】その後、ゲート電極及びソース/ドレイン領域上の層間絶縁膜に開口 (それぞれゲートコンタクト 17 形成用開口、ソース/ドレインコンタクト 16 形成用開口) を設けたのち、Al 等の金属材料をスパッタ、CVD 等で堆積した後、これをパターンニングし、配線 24 を設けると、図 35～図 38 に示した電界効果型トランジスタが得られる。ここではゲート電極 5 に接続する配線を描いていないが、ソース/ドレイン領域 4 へのソース/ドレインコンタクト 16 を介した接続と同様に、ゲート電極 5 へゲートコンタクト 17 を介して配線が接続される。

【0158】なお、図 36 及び図 38 は図 35 の B41-B41' 線断面図、図 37 は図 36 の C41-C41' 線断面図である。但し、図 36 は PSG の堆積以前に、マスク膜 9 及びパッド酸化膜 8 を除去した場合、図 38 は PSG の堆積以後に、マスク膜 9 及びパッド酸化膜 8 を除去した場合を示す。また、図 37 は、開口部が PSG により全て満たされない場合 (図 14) について示した。

【0159】ダミーゲート絶縁膜を RIE で除去した後、ダミーゲート絶縁膜を RIE による除去する際に半導体層に生じたダメージ及び汚染を除去するために、チャネル形成領域を構成する半導体層の表面をドライエッチングにより一部除去しても良い。この際のドライエッチングには、等方性のエッチングが好ましい。エッチングガスとしては、 $\text{Cl}_2$ 、 $\text{CF}_4$ 、 $\text{CHF}_3$ 、 $\text{HCl}$  等を用いれば良い。また、ここでドライエッチングを施すと同時に、半導体層をより薄膜化することを目的に、チャネル形成領域を構成する半導体層を両側面からエッチングしても良い。例えば、短チャネル効果を抑制することを目的に、半導体層の幅が 5～10 nm 程度になるまで

薄膜化を行っても良い。

【0160】勿論、ダミーゲート絶縁膜 18、ダミーゲート電極 11 を形成する工程において、これらに代えてゲート酸化膜 6、ゲート電極 5 が形成されている場合は、ダミーゲート絶縁膜の除去から、導電性材料の埋め込みによるゲート電極 5 の形成に至る上記の工程を必要としない。

【0161】また、半導体層が露出した後、半導体層の表面にゲート絶縁膜を形成する前に露出した半導体層の側面の平坦化と清浄化を行うための熱処理工程を追加しても良い。例えば、水素アニールを実施する。典型的な水素アニールの条件は 10～50000 Pa、850～1100℃、5～60 分程度とする。但し、特に開口部間の間隔が狭く半導体層が薄い場合には、半導体層の凝集を避けるためより短時間、あるいはより低温で熱処理しても良い。また、水素雰囲気中に  $\text{HCl}$  等、他の気体を混合しても良い。

【0162】また、ソース/ドレイン接続部の幅が大きい場合 (例えば図 6、図 46～図 49 の構造) は、ソース/ドレイン接続部への不純物導入を、上部から通常にイオン注入をすることにより作製しても良い。ソース/ドレイン接続部に上部からイオン注入する場合は、マスク膜 9 とパッド膜 8 を除去することが好ましい (図 49)。ソース/ドレイン接続部とソース/ドレイン領域の両者に対して、同時にマスク膜 9 とパッド膜 8 を除去し、同時に不純物の導入を行っても良い。

【0163】また、ソース/ドレイン領域、ソース/ドレイン接続部へ上部からイオン注入する場合は、基板平面に対して垂直方向の不純物濃度を均一にするため、異なるエネルギーのイオン注入を複数回繰り返しても良い。

【0164】また、チャネル形成領域、ソース/ドレイン接続部、ソース/ドレイン領域等の半導体領域中に導入した不純物を活性化するための熱処理は、イオン注入等による不純物の導入直後に行っても良いし、配線などの金属層が設けられる以前の適当な段階において、実施しても良い。

【0165】以上に述べた電界効果型トランジスタの製造方法では、RIE に対するマスク層 (ここでは  $\text{Si}_3\text{N}_4$  膜) にあらかじめ開口が余分に配列したパターンを設け、次に余分な開口パターンを除いた領域において半導体層 3 をパターンニングして素子領域を形成するので、チャネル形成領域を構成する半導体層の幅を均一に形成できる。

【0166】ここで、もし開口パターンに余分な配列を設けず、開口パターンと、素子領域のパターンを同時に形成しようとする、開口パターン配列の端部に位置するチャネル形成領域 (図 10 では、配列中で最も右、及び最も左に位置する半導体領域) に対応するレジストパターンの幅が、素子領域外の広い領域に対して露光され



た光線（あるいは電子線、X線などのビーム）の影響によって細りを生じ、その結果、図51のように、開口パターン配列の両端部に位置するチャネル形成領域を構成する半導体層の幅が細くなる場合がある（近接効果）。これに対して本製造方法を用いると、この問題は生じず図10のように、幅の揃った素子領域が得られる。

【0167】また、本実施形態の製造方法においては、チャネル形成領域を構成する半導体層の上部にマスク層（ここでは $\text{SiO}_2$ 層と $\text{Si}_3\text{N}_4$ 層の二層膜）を設けているので、ゲート電極（またはダミーゲート電極）のエッチング中にチャネル形成領域を構成する半導体層がダメージを受けることもない。マスク層の材質は、ゲートのエッチング中にマスク層のすべてがエッチングされ消滅することのないものであれば良い。例えば $\text{SiO}_2$ 層、 $\text{Si}_3\text{N}_4$ 層等、ゲート電極またはダミーゲート電極のエッチング時にエッチングされない或いはされにくい材料を選べば良い。

【0168】ダミーゲート電極及びダミーゲート絶縁膜の除去後、絶縁性側壁材料、例えば厚さ5nmの第二の $\text{Si}_3\text{N}_4$ 膜をCVDにより全面に堆積して、続いてこの絶縁材料をRIEによりエッチバックすることにより、ダミーゲート電極及びダミーゲート絶縁膜を除去して得られたスリット中に、絶縁材料よりなる側壁を形成する工程を追加しても良い。この時、チャネル形成領域を構成する半導体層とダミーゲート電極の双方がほぼ垂直な側面を持っている場合には、ダミーゲート電極の高さ（埋め込み酸化膜に接する最下端から最上端までの高さ）が、チャネル形成領域を構成する半導体層の2倍以上あれば、絶縁性側壁材料（ここでは第二の $\text{Si}_3\text{N}_4$ 膜）に対して、少なくともチャネル形成領域を構成する半導体層の厚さと同じだけRIEを実施することにより、半導体層の側壁には絶縁性側壁材料（ここでは第二の $\text{Si}_3\text{N}_4$ 膜）がなく、スリットの内壁だけに絶縁性側壁材料（ここでは第二の $\text{Si}_3\text{N}_4$ 膜）を設けることができる。

【0169】スリットの内壁に絶縁材料よりなる側壁が設けられると、スリットに隣接する材料（ここではPSG）に損傷を与えずに、スリット内の半導体層に対してクリーニング又はエッチング処理を行うことができる。

【0170】例えば、半導体層の側面の汚染を除去するため、あるいは半導体層の幅 $W_{\text{Si}}$ を小さくするために、一旦半導体層の側面を熱酸化し（汚染除去を目的とする場合はゲート酸化膜厚の10倍以下、薄膜化を目的とする場合は特に範囲はない。ここで言う酸化工程は犠牲酸化と呼ばれる）、これを希フッ酸、または緩衝フッ酸など $\text{SiO}_2$ に対するエッチング液により除去する工程（犠牲酸化膜除去工程）を行っても、スリット両側が絶縁性側壁材料に覆われているので、スリット両側の材料（ここではPSG）に対する損傷が小さい。

【0171】また、ゲート電極5（もしくはダミーゲート

ト電極11）に側壁を設ける方法としては、半導体層に開けられた開口部における、埋め込み絶縁層表面からのゲート電極5（もしくはダミーゲート電極11）の高さ $h_g$ を、埋め込み絶縁層表面からの半導体層の高さ $t_{\text{Si}}$ の2倍より大きく設定し、図10の構造上にゲート電極5（もしくはダミーゲート電極11）を形成した後、ゲート電極5（もしくはダミーゲート電極11）の表面を覆うように絶縁性側壁材料を堆積し、続いてこれを $t_{\text{Si}}$ 以上、 $(h_g - t_{\text{Si}})$ 未満の厚さにわたってエッチバックすることにより、ゲート電極の下端から、半導体層の上端の高さまでの位置において、ゲート電極側面に側壁を形成することができる。

【0172】但し、本実施形態に述べたスリット内壁に絶縁性側壁を形成する方法、及び同じく本実施形態に述べたゲート電極5（もしくはダミーゲート電極11）に絶縁性側壁を形成する方法では、図10の構造上にゲート電極5（もしくはダミーゲート電極11）を形成した時点で、ゲート電極5（もしくはダミーゲート電極11）の両側面を完全に絶縁性側壁で覆うことができない（前者の方法ではこの時点で側壁を設けることができない、後者の方法ではゲート電極の側面が一部露出する）。

【0173】従って、ソース／ドレイン領域に半導体材料をエピタキシャル成長する場合に、ゲート電極側面にも、半導体材料がエピタキシャル成長するという問題が発生する。この問題は実施形態4として説明する製造方法に基づいて解決される。

【0174】なお、本実施形態における各工程は、実施形態1及び2に係る電界効果型トランジスタ、または実施形態1及び2に係る各種の変形を伴う電界効果型トランジスタの製造に用いることができる。

【0175】また、本実施形態における各工程の一部を、他の一般的な電界効果型トランジスタの製造方法とを組み合わせることにより、実施形態1及び2に係る電界効果型トランジスタ、または実施形態1及び2に係る各種の変形を伴う電界効果型トランジスタを製造することもできる。

【0176】また、本実施形態における、各部分の膜厚、寸法、材質は、実施形態1及び2での説明に基いて適宜変更を加えて良い。

【0177】（実施形態4）次に実施形態4として、本発明に係る、ゲート電極またはダミーゲート電極に絶縁膜（例えば $\text{Si}_3\text{N}_4$ 膜）の側壁を形成する方法を図20～図25を参照して説明する。

【0178】図20～図25は、図10の構造を形成した後にダミーゲート電極（またはゲート電極）、及びこれらに付着する側壁を設ける工程を図示したものである。図20～図22は図10のB10-B10'線断面に対応し、図23～図25は図10のC10-C10'線断面のダミーゲート電極11付近に対応する。

【0179】実施形態4に示した本発明の製造方法は、実施形態1に示すダミーゲート電極に側壁を設ける場合、または実施形態3に示す製造方法において、ダミーゲート電極を設ける工程に代えてゲート電極5を設ける工程を実施した際に、ゲート電極5に側壁を設けるために用いることができる。

【0180】また、本実施形態4の製造方法は、後述するように、単数の半導体層によりソース/ドレイン領域同士が接続される電界効果型トランジスタの製造に用いても良い。

【0181】まず、ダミーゲート電極11に側壁を設ける場合について述べる。実施形態2に示した製造方法により、素子領域をパターンニングした構造（例えば図10）を形成し、続いて実施形態3に示した製造方法と同様にダミーゲート絶縁膜18及びダミーゲート電極11を形成する（例えば図39）。なお、本実施形態4における半導体層3の上端と、ダミーゲート電極11の上端との高さの差は例えば150nmとする。また、後述するようにダミーゲート電極11の形成後に半導体層3中に不純物を導入する工程を実施してもよい。

【0182】次に全体の表面を覆うように第2の $\text{Si}_3\text{N}_4$ 膜20をCVDにより10nm堆積する。続いて第2の $\text{CVDSiO}_2$ 膜21をCVD法により200nm堆積し、CMPにより第2の $\text{CVDSiO}_2$ 膜21を平坦化する（図20、図23）。CMP工程においては、第2の $\text{Si}_3\text{N}_4$ 膜20がCMPに対するストップとして働く。

【0183】続いて、第2の $\text{Si}_3\text{N}_4$ 膜20と第2の $\text{CVDSiO}_2$ 膜21をRIEによって表面から15nmの深さまでエッチングし、続いてポリシリコンを20nm堆積し、ポリシリコンに対してRIEによるエッチバックを行い、第1のサイドウォール22（材質は、この場合ポリシリコン）をダミーゲート電極11の上部両側面に設ける（図21、図24）。

【0184】続いて、ダミーゲート電極11及び第1のサイドウォール22をマスクに、第2の $\text{Si}_3\text{N}_4$ 膜20及び第2の $\text{CVDSiO}_2$ 膜21をエッチバックすることにより、第2の $\text{Si}_3\text{N}_4$ 膜20と第2の $\text{CVDSiO}_2$ 膜21の一部からなるゲートサイドウォール（ゲート側壁）を、ダミーゲート電極11の側面に設ける。

【0185】図22、図25において、ダミーゲート電極11の側面に付着する第2の $\text{Si}_3\text{N}_4$ 膜20と第2の $\text{CVDSiO}_2$ 膜21により構成される部分がゲートサイドウォールである。このエッチバック工程において、ほぼ埋め込み絶縁膜2の上端とダミーゲート電極11の上端との高さの差だけの厚さを持つ $\text{Si}_3\text{N}_4$ 膜をエッチングするために必要な時間よりも長く、エッチバックを行えば、ゲートサイドウォールとなる部分を除いて第2の $\text{Si}_3\text{N}_4$ 膜20と第2の $\text{CVDSiO}_2$ 膜21は除去され、ソース/ドレイン接続部32の側面において半導

体層が露出する構造が得られる（ダミーゲート電極11から離れた位置における、A10-A10'断面線に平行した断面の形状を図68に示す）。

【0186】図68に示す半導体層3は、ソース/ドレイン接続部が形成される部分に相当する。なお、エッチバック時に埋め込み絶縁層の一部が同時に除去されていても構わない。また、エッチバック工程時に、ダミーゲート電極11の下部を除いた半導体領域3の側面に付着するダミーゲート絶縁膜18は同時に除去される。また半導体層上のマスク膜9も同時に除去される。

【0187】なお、図69はゲートサイドウォールとダミーゲート電極11（またはゲート電極）、半導体層3との位置関係を明確にするために、エッチバック後におけるゲートサイドウォール付近の形状を拡大した透視図である。

【0188】なお、本明細書ではゲート電極に設けた側壁、ダミーゲート電極に設けた側壁の双方をゲートサイドウォールという。その理由は、ダミーゲート電極に設けた側壁についても、後の工程でダミーゲート電極をゲート電極に置換すると、ゲート電極の側面に付着した側壁となるからである。

【0189】その後、実施形態3に係る製造方法における図11以降の工程と同様の手順で、ソース/ドレイン接続部とソース/ドレイン領域に不純物を導入するとともに、ダミーゲート及びダミーゲート絶縁膜を除去してスリットを形成し、得られたスリット中にゲート絶縁膜、ゲート電極を形成したのち、ゲート電極及びソース/ドレイン領域に配線を接続し、図35、図75の形態のトランジスタを形成する。なお、図75は図20から図22に相当する断面における断面図である。

【0190】また、ソース/ドレイン領域の上部をシリサイド化する工程を実施しても良い。ソース/ドレイン接続部間の開口の幅が大きい場合は、ソース/ドレイン接続部の側面についてもシリサイド化しても良い。また、これらのシリサイド化工程を実施する際、ソース/ドレイン領域の側面（素子領域の外周に当たる部分）はシリサイド化してもしなくても良い。

【0191】ダミーゲート電極を形成しない場合は、ダミーゲート電極に代えて設けられるゲート電極に対して、上記本実施形態の発明を同様に実施すれば良い。この場合、ダミーゲート電極をゲート電極、ダミーゲート絶縁膜をゲート絶縁膜と読みかえた上、ダミーゲートの除去からスリット中へのゲート電極の埋め込みに至る工程を省略する。

【0192】なお、第2の $\text{CVDSiO}_2$ 膜21を持たず第2の $\text{Si}_3\text{N}_4$ 膜20の側面が露出したゲートサイドウォールを設けてもよい（図58参照。この場合も発明の効果は変わらない）。第2の $\text{CVDSiO}_2$ 膜21を持たないサイドウォールは、例えば第1のサイドウォール22の横方向の突起が小さい場合、ゲートサイドウォ

ールの形成後にフッ酸などにより  $\text{SiO}_2$  をエッチングした場合に生じる。

【0193】本実施形態の特徴は、ダミーゲート電極（またはゲート電極）を一旦絶縁膜中に埋め込んだのち、ダミーゲート電極（またはゲート電極）の上部を一部だけ露出させ、露出したダミーゲート電極（またはゲート電極）の側面に第一のサイドウォール（第一の側壁）を設け、ダミーゲート電極（またはゲート電極）と第一のサイドウォールをマスクとして、ダミーゲート電極（またはゲート電極）を埋め込んでいた絶縁膜をエッチングすることにより、ダミーゲート電極（またはゲート電極）を埋め込んでいた絶縁膜を材料とするゲートサイドウォールを形成することである。

【0194】このようにゲートサイドウォールが設けられると、ダミーゲート電極（あるいはゲート電極）形成後にソース／ドレイン領域に対してさまざまな処理（イオン注入、シリサイド化、半導体のエピタキシャル成長、アモルファス半導体又は多結晶半導体の選択成長）を行う際に、ゲート電極及びゲート電極の下部（あるいはダミーゲート電極及びダミーゲート電極の下部）の半導体層を保護することができる。

【0195】また、このようにゲートサイドウォールを形成するとダミーゲート電極を除去してスリットを形成した時点において、スリットの内壁がゲートサイドウォールを構成する  $\text{Si}_3\text{N}_4$  膜によって覆われ、スリットの内壁部に酸化膜、PSG 膜が露出しない構造が得られる。このため、ダミーゲート酸化膜の除去をウェットエッチングにより行うことが可能となる。

【0196】これは、ダミーゲート酸化膜等の  $\text{SiO}_2$  膜を除去する際に通常用いられる、フッ酸を含んだエッチング液は、PSG 膜、 $\text{SiO}_2$  膜等スリットの側壁を構成する材料に対してエッチング作用を持つことに対して、フッ酸によるエッチング作用に耐性のある  $\text{Si}_3\text{N}_4$  膜によってスリット内壁を保護すれば、ダミーゲート酸化膜を除去する際にスリットの側壁がエッチング作用を受けない、という作用によるものである。

【0197】もし、ダミーゲート酸化膜の除去にウェットエッチングが使えない場合には、RIE 等のドライエッチングによりダミーゲート酸化膜を除去する必要があるが、一般にドライエッチングを行うとチャネル形成領域を構成する半導体層に対して結晶欠陥や汚染などのダメージを与えやすいという問題が発生する場合がある。これに対して本実施形態に述べた製造方法によれば、ダミーゲート酸化膜の除去をウェットエッチングにより行うことが可能となり、チャネル形成領域を構成する半導体層へのダメージを軽減できる。

【0198】また同様に、スリット内壁に残存するゲートサイドウォールに保護されたゲート電極周辺部がウェットエッチングの影響を受けないので、チャネル形成領域を構成する半導体層の薄膜化を、犠牲酸化とそれに続

く犠牲酸化膜に対するウェットエッチングにより行うことが可能となり、チャネル形成領域を構成する半導体層へのダメージ（特にドライエッチングにより薄膜化を行うことによるダメージ）が軽減される。

【0199】ダミーゲート電極を形成せず、ダミーゲート電極に代えて設けられるゲート電極に対して、上記本実施形態の発明を同様に実施する場合、ゲート電極形成後にソース／ドレイン領域に対してさまざまな処理（イオン注入、シリサイド化、半導体のエピタキシャル成長、アモルファス半導体又は多結晶半導体の選択成長）を行う際に、ゲート電極及びゲート電極の下部を保護することができる。

【0200】なお、チャネルタイプと同一導電型の高濃度の不純物を半導体層 3 に注入する工程を、ダミーゲート電極（またはゲート電極）の形成後、ゲートサイドウォールの形成前に実施しても良い。これは特に 10 nm 以上の厚さ（ゲート電極に対して横方向の厚さ）のゲートサイドウォールを形成する場合、ソース／ドレイン接続部のうちゲートサイドウォールに覆われた部分の寄生抵抗を低下させるために有効である。ここで、イオン注入、斜めイオン注入により不純物を導入する場合は、不純物の導入に当たってダミーゲート電極（またはゲート電極）に覆われていない領域のダミーゲート絶縁膜（またはゲート絶縁膜）は除去しても除去しなくても良い。気相拡散など、不純物が絶縁膜を通して侵入し難い方法で不純物を導入する際には、ダミーゲート電極（またはゲート電極）に覆われていない領域のダミーゲート絶縁膜（またはゲート絶縁膜）を RIE 等のエッチングにより除去した上で不純物を導入することが好ましい。

【0201】また、ゲートサイドウォールを形成するためのエッチバック工程（第 1 のサイドウォール 22 を形成した後に第 2 の  $\text{Si}_3\text{N}_4$  膜 20 と第 2 の CVD  $\text{SiO}_2$  膜 21 をエッチバックする工程）を、 $\text{Si}_3\text{N}_4$  膜に対して  $\text{SiO}_2$  が選択的にエッチングされる RIE を用いて実施しても良い。この場合エッチバックは  $\text{Si}_3\text{N}_4$  膜の表面で停止する。

【0202】続いて  $\text{Si}_3\text{N}_4$  膜に対してエッチング作用のある異方的なまたは等方的なドライエッチング、あるいは加熱したリン酸によるウェットエッチングにより、第 2 の  $\text{Si}_3\text{N}_4$  膜 20 を除去すれば、埋め込み酸化膜 2 に対するエッチング（例えば図 22 の両端部における埋め込み酸化膜 2 のくぼみ）が抑制され、エッチバック後の形状に対する制御性が増す。また、半導体層 3 の側面にダミーゲート絶縁膜 18（あるいはゲート絶縁膜）が設けられている場合、半導体層 3 の側面にはダミーゲート絶縁膜 18（あるいはゲート絶縁膜）を介して第 2 の  $\text{Si}_3\text{N}_4$  膜 20 が付着した形状が形成されており、選択的な  $\text{SiO}_2$  のエッチングに続いて  $\text{Si}_3\text{N}_4$  膜に対する等方的なドライエッチング、あるいは加熱したリン酸によるウェットエッチングを行うことにより半導体層 3 の側面

にはダミーゲート絶縁膜 18 (あるいはゲート絶縁膜) が露出する。この時、ゲート電極側面にはゲートサイドウォールが設けられているので、半導体層 3 の側面にはダミーゲート絶縁膜 18 (あるいはゲート絶縁膜) を除去するためにフッ酸等による短時間のウェットエッチングを実施しても、チャネル形成領域に接するダミーゲート絶縁膜 18 (あるいはゲート絶縁膜) が、フッ酸等のエッチング液により損傷を受けない。このとき、ゲートサイドウォールの下部に位置するゲート絶縁膜 (あるいはダミーゲート絶縁膜) は一部エッチングされて失われるが、素子特性には影響がない。

【0203】なお、第 2 の CVDSiO<sub>2</sub> 膜 21 を持たず第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 の側面が露出したゲートサイドウォールを設けてもよい (図 20、図 25 に対応する形態を図 64、図 65 に示す。この場合も発明の効果は変わらない)。第 2 の CVDSiO<sub>2</sub> 膜 21 を持たないサイドウォールは、例えば第 1 のサイドウォール 22 の横方向の突起が小さい場合 (これは第 1 のサイドウォール 22 の形成のために堆積する膜の厚さが、第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 よりも薄い場合に相当する)、あるいはゲート

サイドウォールの形成後にフッ酸などにより SiO<sub>2</sub> をエッチングした場合に生じる。

【0204】CMP 工程を実施後、第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 と第 2 の CVDSiO<sub>2</sub> 膜 21 を RIE によって表面からエッチングする深さは、上記 (15 nm) に限らず、特に制限はない。但し、第 1 のサイドウォールの幅に対する制御性の観点からは、第一のサイドウォール 22 を形成するために堆積する膜 (上の例ではポリシリコン) の厚さよりも、エッチング深さが大きいことがより望ましい。例えばポリシリコンの厚さが 20 nm の場合、20 nm より大きく、40 nm よりも小さい範囲にこ

こでのエッチング深さを設定する。

【0205】また、少なくとも半導体層 3 が存在する範囲の高さにはゲート電極 (またはダミーゲート電極) にゲートサイドウォールが形成されることが望ましいので、こ

こでのエッチング深さは半導体層 3 の上端に達しない程度に設定されることが望ましい。

【0206】以上、本実施形態においては、ダミーゲート電極 (またはゲート電極) の側面に第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 を堆積することにより、Si<sub>3</sub>N<sub>4</sub> 膜を構成要素として持つゲートサイドウォールを形成する例を示した。ダミーゲート電極 (ゲート電極) の側面に堆積する材料として Si<sub>3</sub>N<sub>4</sub> 膜を選択すること利点として以下の二つを挙げる

ことができる。

【0207】第一は、CVD で第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜を堆積する際、ダミーゲート電極 (またはゲート電極) の上部にも第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜が堆積され、続いて堆積した第 2 の CVDSiO<sub>2</sub> 膜 21 を CMP により平坦化する際、ダミーゲート電極 (またはゲート電極) の上部に堆積した第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜が CMP に対

するストップとなる点である。

【0208】第二は、ダミーゲート電極に対して側壁を形成し、続いてダミーゲート電極を除去してスリットを形成すると、スリットの内壁が第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜によって保護され、フッ酸等のエッチング液を用いてスリット内の SiO<sub>2</sub> 材料に対してエッチングを行っても、スリットの側壁がエッチングされず形状を保てるという点である。なお、スリット内の SiO<sub>2</sub> 材料に対してエッチングは、ダミーゲート絶縁膜を除去する場合、あるいはスリット内のシリコン材料の表面を一旦犠牲酸化し、犠牲酸化により形成された酸化膜を除去する場合などに行われるものである。

【0209】しかし、第 2 の CVDSiO<sub>2</sub> 膜 21 を CMP により平坦化する際のストップとして、ダミーゲート電極 (またはゲート電極) 自体を構成する材料 (例えばダミーゲート電極を構成するポリシリコン) を用いる場合で、なおかつスリットの側壁を保護する必要がない場合 (ダミーゲートを形成せずに最初からゲート電極を設けてこれに側壁を設ける場合、あるいはスリット内のダミーゲート絶縁膜を RIE で除去した上スリット内のシリコン材料に対して犠牲酸化を行わない場合等) には、第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜を設ける工程を省略しても良い。第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜を省略すると、第 2 の CVDSiO<sub>2</sub> 膜 21 だけからなるゲートサイドウォールが得られる。この場合の図 20 及び図 25 に対応する形態をそれぞれ図 58 及び図 59 に示す。

【0210】また、第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜に代えて他の材料よりなる絶縁膜を用いても良く、第 2 の CVDSiO<sub>2</sub> 膜 21 他

の材料よりなる絶縁膜を用いても良い。

第 2 の CVDSiO<sub>2</sub> 膜 21 に代えて CVD、スピン塗布などの手段によって堆積した PSG 膜を用いても良い。ダミーゲート絶縁膜 (またはゲート絶縁膜) を除去したのち、第 2 の CVDSiO<sub>2</sub> 膜 21 に代えて PSG 膜を堆積した場合には、堆積した PSG から半導体層へ不純物を拡散する工程を実施しても良い。

【0211】第 2 の Si<sub>3</sub>N<sub>4</sub> 膜 20 膜、第 2 の CVDSiO<sub>2</sub> 膜 21 及びこれらに代えて用いられる他の材料よりなる絶縁膜について、その膜厚には特に制限はない。但し、CMP の実施によって第 2 の CVDSiO<sub>2</sub> 膜 21 (またはこれに代わる絶縁膜) の表面を平坦化するという観点からは、第 2 の CVDSiO<sub>2</sub> 膜 21 (またはこれに代わる絶縁膜) の膜厚はゲート電極 (またはダミーゲート電極) の高さより大きいことが好ましい。後述 (図 60、図 61) のようにエッチングによりゲート電極 (またはダミーゲート電極) またはこれらの上部に付着する物質を露出させる場合等、第 2 の CVDSiO<sub>2</sub> 膜 21 (またはこれに代わる絶縁膜) の表面の平坦性を強く要求しない場合は、第 2 の CVDSiO<sub>2</sub> 膜 21

(またはこれに代わる絶縁膜) の膜厚はゲート電極 (またはダミーゲート電極) の高さより小さくとも良い。第

2の $\text{Si}_3\text{N}_4$ 膜20膜の厚さにも特に制限はないが、典型的には1000nm以下、より好ましくは50nm以下である。

【0212】また、図20から図25に示した実施例のように、ダミーゲート電極（またはゲート電極）を覆った絶縁膜（ここでは第2の $\text{CVD SiO}_2$ 膜21）をCMPにより平坦化することによって、ダミーゲート電極（またはゲート電極）の上部（あるいはここに示した第2の $\text{Si}_3\text{N}_4$ 膜20膜のようにダミーゲート電極あるいはゲート電極の上部に付着する物質）を露出させるのではなく、RIE等によるエッチング工程を、ダミーゲート電極（またはゲート電極）の上部、あるいはダミーゲート電極（またはゲート電極）の上部に付着する物質が露出するまで実施することにより、エッチバックするという工程を用いても良い。この場合の図20及び図25に対応する形態をそれぞれ図60、図61に示す。

【0213】また、ダミーゲート電極（またはゲート電極）の上部において両側に突起させる第1のサイドウォール22は、図20から図25に示した実施例のようにポリシリコンでも良く、ポリシリコン以外の材料でも良い。第1のサイドウォール22の材料に対してダミーゲート電極（またはゲート電極）を覆う絶縁膜（第2の $\text{CVD SiO}_2$ 膜21に相当する部分を構成する材料）を選択的にエッチングできるよう、第1のサイドウォール22、及びダミーゲート電極（またはゲート電極）を覆う絶縁膜のそれぞれの材料が選択されていれば良い。例えば第1のサイドウォール22をW、Mo等の金属、チタンシリサイドなどのシリサイド、またはTiNなどの金属化合物により構成し、第2のサイドウォールを $\text{SiO}_2$ 、または $\text{Si}_3\text{N}_4$ 、アモルファスフッ化カーボン、シロキサン及びその誘導体、有機絶縁膜などの各種絶縁膜により構成しても良い。

【0214】（実施形態5）実施形態3及び実施形態4において、PSG膜を設けず、開口部に隣接する半導体層に対して、イオン注入、プラズマドーピングなど、PSG膜からの固相拡散以外の通常の不純物導入プロセスにより、不純物を導入しても良い。この場合、不純物の導入後にPSGに代えて $\text{SiO}_2$ 、 $\text{Si}_3\text{N}_4$ などの絶縁材料を堆積すれば良い。

【0215】（実施形態6）開口部にPSG膜を設けるのではなく、実施形態4の方法に従いゲート電極5もしくはダミーゲート電極11に絶縁膜側壁（ゲートサイドウォール）を設けた後に、選択エピタキシャル成長によってチャネルタイプと同じ導電型の不純物を高濃度を含む半導体（Si、シリコン-ゲルマニウム混晶等）を、ソース/ドレイン接続部の側面に成長させると、図33、図70に示す形状の、ソース/ドレイン接続部が得られる。この場合ソース/ドレイン接続部の形状は、チャネル形成領域との接続点からゲートサイドウォールを隔た位置から、ソース/ドレイン領域に向かって傾斜し

ながら厚くなる形状を持つ。このような傾斜は選択エピタキシャル成長時に形成される晶癖（ファセット）に由来するものである。

【0216】図33は選択的エピタキシャル成長を少なめに行った場合、図70は選択的エピタキシャル成長を多めに行った場合である。また、図34は選択エピタキシャル成長時に晶癖（ファセット）が形成されない場合、もしくはチャネルタイプと同じ導電型の不純物を高濃度を含む半導体（Si、シリコン-ゲルマニウム混晶等）のアモルファス層、あるいは多結晶よりなる層を選択的に成長した場合である。

【0217】一般に成長ガスの流量が比較的小さい場合、成長温度が比較的高温である場合にファセットが形成されやすい。ファセットが形成されない場合、ソース/ドレイン接続部が傾斜してゲート電極から後退する形状が得られず、ファセットが形成される場合に比べて、ソース/ドレイン接続部とゲート電極間の寄生容量が増す。この問題を避けるために、ファセットが形成されない図34では、ゲート電極（あるいはダミーゲート電極）に設ける側壁を、厚めに設定し、ゲート電極とソース/ドレイン接続部の寄生容量を小さくする方法を採用しても良い。

【0218】なお、選択エピタキシャル成長により形成された半導体層へは、選択エピタキシャル成長後に不純物（特にチャネルタイプと同一導電型で高濃度の不純物。典型的には $10^{19}\text{cm}^{-3}$ 以上の濃度）をイオン注入、プラズマドーピングなどの不純物導入工程によって導入しても良く、選択エピタキシャル成長時に不純物を含むガスを供給することにより、成長と同時に不純物（特にチャネルタイプと同一導電型で高濃度の不純物。典型的には $10^{19}\text{cm}^{-3}$ 以上の濃度）を導入しても良い。なお、選択エピタキシャル成長後に不純物を導入する場合、選択エピタキシャル成長と同時に不純物を導入する必要は無い。また、成長と同時に不純物を導入した上、成長後改めて不純物を導入しても良い。また、選択エピタキシャル成長に限らず、他の半導体層の選択成長を行う場合も同様である（半導体の選択エピタキシャル成長、多結晶半導体またはアモルファス半導体の選択成長をまとめて半導体の選択成長という。）。半導体層の選択成長時または半導体層の選択成長後に不純物を導入するものとする。

【0219】なお、半導体層の選択成長を行う際、ソース/ドレイン領域の上部が露出していればソース/ドレイン領域の上部にも上向きに選択成長が進む。ソース/ドレイン領域の上部がマスク膜9等に覆われて、露出していなければ、ソース/ドレイン領域の上部でエピタキシャル成長は起こらない。どちらであっても素子特性に悪影響はない。

【0220】ソース/ドレイン領域の形成には、まず選択エピタキシャル成長（もしくは多結晶、アモルファス

の選択成長後)、例えば全面に第3のCVD酸化膜を厚く(例えば200nm)堆積し、エッチバックすることによりソース/ドレイン接続部のうちゲート電極(またはダミーゲート電極)寄りの一部またはソース/ドレイン接続部の全部を覆う厚いゲート側壁(ここでは第3のCVD酸化膜)を設け(形態は前記PSG膜の側壁に似る。但し、半導体層上のマスク膜は、通常ゲートサイドウォールの形成と同時に除去されている。半導体層上のマスク膜が残存する場合、マスク膜の除去はCVD酸化膜側壁形成の前でも後でも良い)、続いて厚いゲート側壁(ここでは第3のCVD酸化膜)をマスクにソース/ドレイン領域を形成するための不純物導入、例えばイオン注入を行えば良い。ここで、ソース/ドレイン接続部のうち少なくともゲート電極(またはダミーゲート電極)寄りの一部を覆うのは、この領域のソース/ドレイン接続部は、基板平面方向の厚さが薄い半導体層により構成されており、イオン注入のダメージに弱いので、この部分をイオン注入から保護するためである。また、ダミーゲート自体が $\text{Si}_3\text{N}_4$ 、あるいは有機物等の絶縁体により形成される場合、ダミーゲートに側壁を形成する工程を省略した上、上記と同じ手順で、ソース/ドレイン接続部の側面に半導体の選択成長を行い、そののち、上記と同様にダミーゲートを除去して、ゲート電極を形成する工程を実施しても良い。

【0221】CMOS構成の回路において、nチャネルMOSFET及びpチャネルMOSFETの両方を形成する必要がある場合、図21の形態を形成する工程を実施後、図22の形態を形成するエッチバックを行う前に、第二のチャネルタイプのトランジスタが形成される領域をレジストで覆うことにより、第一のチャネルタイプのトランジスタに対してのみゲートサイドウォールの形成と半導体層3の露出にかかわるエッチング工程(図22、図25)を実施し、レジスト除去後にソース/ドレイン領域接続部へのエピタキシャル成長(あるいは半導体の選択成長)、ソース/ドレインの形成に係わる前記一連の工程を実施する。(あるいは、図20の形態を形成後、第二のチャネルタイプのトランジスタが形成される領域をレジストで覆い、第一のチャネルタイプのトランジスタに対してのみ、ゲート電極を覆う絶縁膜を、この場合は $\text{Si}_3\text{N}_4$ 膜と $\text{SiO}_2$ 膜を、ある深さまでエッチングし、そののちレジストを除去してから第一のサイドウォール22を形成し、続いて、第二のチャネルタイプのトランジスタが形成される領域を再びレジストで覆い、図22の形状を形成するエッチングを行っても良い。あるいは図20の形状を両チャネルタイプのトランジスタに対して形成し、この後全体を薄いCVD酸化膜、例えば厚さ10nmで覆った後、それぞれのチャネルタイプのトランジスタを造る都度、各チャネルタイプのトランジスタ形成領域に開口を持つレジストパターンを設け、各チャネルタイプのトランジスタ形成領域の

表面に設けられた薄いCVD酸化膜を除去したのち、レジストパターンを除去し、図22以降の形状を作製する工程を実施しても良い。)その後全体を第4のCVD酸化膜で覆い(膜厚に制限は無い。10nm程度に薄くても良い。また平坦性を得るために200nm~500nm程度に厚くしても良い。これらの中間の膜厚でも良い。)、第二のチャネルタイプのトランジスタを形成する領域に対して同様の工程を実施し、ゲートサイドウォールを形成すれば良い。

10 【0222】この実施例の製造方法は、チャネル形成領域が平行に配列しない縦型電界効果型トランジスタ(例えば図50の形状)の製造に用いても良い(図40)。単一の電流経路よりなる素子領域が形成される形(図40の破線部)に半導体のパターニングすることを除いて、各製造工程は(製造方法の実施形態4)に記載した上記製造方法と同一である。

【0223】(実施形態7)実施形態6の製造方法を用いる場合、当初半導体層に設ける開口部の形状は、図32のように矩形とし、ゲート電極5(またはダミーゲート電極11)を形成後、ソース/ドレイン接続部32に半導体層の選択成長を行うことにより、ソース/ドレイン接続部32の幅がチャネル形成領域7側では狭く、ソース/ドレイン領域4側では広く、その間ではソース/ドレイン接続部32の幅が連続的、または段階的に変化する形状(図33、図34)を得ることができる。このとき、実施形態6と同様に、半導体層の選択成長時に、半導体層へのドーピングを同時に行っても良いし、半導体層の成長中はドーピングを行わずに、エピタキシャル成長後に、成長した半導体層へ不純物を導入する方法をとっても良い。また、成長と同時に不純物を導入した上、成長後改めて不純物を導入しても良い。

【0224】この場合、図32のような矩形の開口を持つ形状は、以下のように形成できる。一つの例を図41~図43を参照して説明する。シリコン基板1上に厚さ100nmの $\text{SiO}_2$ よりなる埋め込み絶縁層2を持ち、その上部に厚さ120nmの単結晶シリコン層よりなる半導体層3を持つSOI(シリコン・オン・インシュレータ)基板を用意する。

【0225】次に半導体層3の上部を20nm熱酸化することによりパッド酸化膜8を設け、その上部にCVD法により厚さ50nmの $\text{Si}_3\text{N}_4$ 膜9を設ける。

【0226】次に第二のマスク材料41をその上に堆積する(ここでは第二のマスク材料41として厚さ20nmのポリシリコンをCVD法により堆積する)。

【0227】次に、リソグラフィ工程により、矩形が配列したレジストパターンを設け、このレジストをマスクに、第二のマスク材料41をパターニングし、矩形の第二のマスク材料41(ここではポリシリコン)が配列した形状を得る。ここで第二のマスク材料41の配列方向(図41では横方向)の幅は例えば50nmとする。次

に配列の両端に位置する第二のマスク材料 41 を除く残りの第二のマスク材料 41 を覆う領域（図 41 の領域 44）にレジストパターンを設け、このレジストをマスクに、配列の両端に位置する第二のマスク材料 41 を RIE 等のエッチング処理により除去し、続いてレジストパターンを除去する。

【0228】次に、矩形の第二のマスク材料 41 の両端部において、複数の第二のマスク材料 41 の一方の端を含む一定の領域を覆うレジストパターンを設ける（図 41 中の点線で囲まれた範囲の領域 42）。

【0229】次にレジストパターンと、第二のマスク材料 41 をマスクに（すなわち、レジストパターンと、第二のマスク材料 41 に対して選択的に）、それらの下部に位置するマスク膜である  $\text{Si}_3\text{N}_4$  膜 9 をパターンニングする。ここでレジストを除去すれば、図 42 の形状が得られる。

【0230】引続いて、マスク材料 9 と第二のマスク材料 41 をマスクに、選択的 RIE により半導体層 3（ここではシリコン）をエッチングすれば、図 43 の形状が得られる。ここで第二のマスク材料 41 であるポリシリコンとシリコン 3 との間には選択性がほとんどないので、半導体層 3 のエッチング中に第二のマスク材料 41 は失われるが、このとき第二のマスク材料 41 の下に位置する  $\text{Si}_3\text{N}_4$  膜 9 が露出し、 $\text{Si}_3\text{N}_4$  膜 9 がエッチングに対するマスクとなる。以後、他の実施形態と同様の手順で電界効果型トランジスタを形成する。但し、ソース／ドレイン領域接続部の側面に単結晶、アモルファスまたは多結晶の半導体層を選択的に堆積させる工程、及びそれに先行する側壁形成工程は実施形態 6 の手順を用いる。

【0231】図 41 の工程において、配列の両端に位置する第二のマスク材料 41 を取り除く目的は以下の通りである。パターンを形成するための露光時に、配列の両端に位置するパターンは近接効果の影響を受けて他のパターンとは異なる幅に形成される場合がある。パターン幅の異なる第二のマスク材料 41 が混在することは好ましくないで、両端のものを取り除くことが望ましい。但し、近接効果が小さい場合は、配列の両端に位置するパターンを除く必要がない。また、逆に近接効果の影響が大きい場合は、配列の両端からそれぞれ複数個のパターンを適宜取り除けばよい。

【0232】また、配列の両端の第二のマスク材料 41 を除去せず、配列の両端の第二のマスク材料 41 に、領域 42 を覆うレジストパターンがかからないようにすることで、パターン幅が異なる配列の両端の第二のマスク材料 41 をマスクとして形成されるチャネル形成領域を成す半導体層をソース／ドレイン領域が形成される位置（ほぼ領域 42 に相当）から分離し、素子特性に影響を与えないようにすることもできる。

【0233】また、配列の両端から各一つまたは複数の

第二のマスク材料 41 を除去する場合、複数の第二のマスク材料 41 の一端を覆うレジストパターンを設ける範囲（領域 42）は、配列の両端からそれぞれ各一つまたは複数の第二のマスク材料 41 が除去された後であれば、配列の両端からそれぞれ各一つまたは複数の第二のマスク材料 41 が存在していた範囲にかかっても構わない。

【0234】次に、チャネル形成領域をより細く形成するための実施形態について図 44 と図 45 を参照して説明する。図 41～図 43 の実施形態と同じく、シリコン基板 1 上に厚さ 100 nm の  $\text{SiO}_2$  よりなる埋め込み絶縁層 2 を持ち、その上部に厚さ 120 nm の単結晶シリコン層よりなる半導体層 3 を持つ SOI（シリコン・オン・インシュレータ）基板を用意する。

【0235】次に半導体層 3 の上部を 20 nm 熱酸化することによりパッド酸化膜 8 を設け、その上部に CVD 法により厚さ 50 nm の  $\text{Si}_3\text{N}_4$  膜 9 を設ける。

【0236】次に全体に厚さ 40 nm の  $\text{SiO}_2$  膜を CVD により堆積し、これをパターンニングすることにより、第二のマスク形成用ダミーパターン 43（第二のマスクを形成するためのダミーパターンを意味する。マスク形成用ダミーパターンの第二ではない。）を形成する。

【0237】次に全体に厚さ 30 nm のポリシリコンを第二のマスク材料として堆積し、これをエッチバック（30 nm～50 nm 相当のエッチング）することにより、第二のマスク形成用ダミーパターン 43 周辺にポリシリコンの側壁を形成し、続いて第二のマスク形成用ダミーパターン 43 を希フッ酸、緩衝フッ酸等を用いて除去する。 $\text{Si}_3\text{N}_4$  膜 9 上に残ったポリシリコン側壁を図 41 における第二のマスク材料 41 に相当するものとする。

【0238】以後、図 41～図 43 の工程と同じく、第二のマスク材料 41 の一方の端を含む一定の領域を覆うレジストパターンを設ける（図 44 中の点線で囲まれた 42 の範囲）。

【0239】次にレジストパターンと、第二のマスク材料 41 をマスクに、それらの下部に位置するマスク膜である  $\text{Si}_3\text{N}_4$  膜 9 をパターンニングする。ここでレジストを除去すれば、図 45 の形状が得られる。続いて、マスク材料 9 と第二のマスク材料 41 をマスクに、選択的 RIE により半導体層 3（ここではシリコン）をエッチングすれば、図 43 と同様の形状が得られる。

【0240】以後は、他の実施形態と同様の手順で電界効果型トランジスタを形成する。但し、ソース／ドレイン領域接続部の側面に単結晶、アモルファスまたは多結晶の半導体層を選択的に堆積させる工程、及びそれに先行する側壁形成工程は実施形態 6 の手順を用いる。

【0241】図 44 と図 45 を参照して説明した工程では、チャネル形成領域を構成する半導体層の幅が、第二

のマスク材料 41 を、第二のマスク形成用ダミーパターン 43 の側面に堆積した時の堆積厚さによって決まるが、一般に CVD により堆積した膜の厚さは精度良く制御できるので、チャンネル形成領域を構成する半導体層の幅を精度良く制御できる。

【0242】また、同様に、堆積した膜の厚さに対する制御性が良いことから、チャンネル形成領域を構成する半導体層の幅を小さくすることに対しても有利である。

【0243】ここで、半導体層 3 はマスク膜 9 と第二のマスク材料 41 に対して、第二のマスク形成用ダミーパターン 43 は第二のマスク材料 41 とマスク膜 9 に対してそれぞれ選択的にエッチングできる材料を選んでい  
10 る。第二のマスク形成用ダミーパターン 43 は第二のマスク材料 41 に対してそれぞれ選択的にエッチングできる材料を選んでい。但し、第二のマスク材料 41 とマスク膜 9 は同じ材料、例えば  $\text{Si}_3\text{N}_4$  膜とすることができ。第二のマスク材料 41 とマスク膜 9 を同じ材料とし、それぞれの膜厚を  $t_{\text{mask1}}$ 、 $t_{\text{mask2}}$  とした場合、図 41 又は図 44 において符号 42 で示した範囲をレジストで覆った後、 $t_{\text{mask2}}$  以上、 $t_{\text{mask1}} + t_{\text{mask2}}$  以下の  
20 量だけの膜厚をエッチングする条件で RIE を行えば、伝導経路の位置では、第二のマスク材料 41 とマスク膜 9 の両方が全て失われることが無いので、伝導経路の位置に第二のマスク材料 41 又はマスク膜 9 を残すことができる。

【0244】実施形態 7 において図 41 から図 45 を参照して説明した各製造方法は、実施形態 4 において述べたゲート電極への側壁形成を行わない場合、あるいは実施形態 6 において述べたソース／ドレイン接続部への選択エピタキシャル成長を行わない場合に適用しても良  
30 い。また、図 32 のように矩形の開口が設けられる場合に対して用いても良い。

【0245】また実施形態 7 において図 41 から図 45 を参照して説明した各製造方法を実施形態 3、実施形態 5 において、開口部が配列したマスク膜を設ける工程に対して、置き換えても良い。但し開口部の境界に円弧を持つ場合、開口部が円形の場合、開口部の境界が開口部の配列方向に対して大きく（具体的には 45 度近く）傾いている場合は適さない。

【0246】（実施形態 8）実施形態 3～実施形態 7 において、ダミーゲートを設けず、半導体層 3 をパターンニング（例えば図 10）後に、直接ゲート絶縁膜及びゲート電極 5 を形成する場合等、ゲートサイドウォールに  $\text{Si}_3\text{N}_4$  の層を設ける必要がなく、ゲートサイドウォールを  $\text{SiO}_2$  だけで構成する時（図 58、図 59 のような場合）には、第一のサイドウォール 22 を  $\text{Si}_3\text{N}_4$  で構成することができる。この時、 $\text{Si}_3\text{N}_4$  に対して  $\text{SiO}_2$  を選択的にエッチングできる条件を用いて第 2 の CVD  $\text{SiO}_2$  膜 21 をエッチングすることにより、ゲート  
40 サイドウォールを形成しても良い。この時、半導体層 3

上のマスク膜 9 が  $\text{Si}_3\text{N}_4$  膜である場合、マスク膜 9 はゲートサイドウォールを形成した後も残留する。マスク膜 9 を除去したい場合には、ゲートサイドウォール形成後に、 $\text{Si}_3\text{N}_4$  をエッチングする作用のある RIE 工程を実施すれば良い。また、マスク膜 9 をそのまま残留させておいても良い。

【0247】また、ゲート電極 5 を成すポリシリコン（あるいはこれに代わる、金属シリサイド、金属化合物等の導電体）を堆積したのち、この上部に  $\text{Si}_3\text{N}_4$  膜 25 を例えば 20 nm 堆積し、ゲート電極と同じ形にパターンニング（あるいは、レジストパターンを用いて  $\text{Si}_3\text{N}_4$  膜 25 をパターンニングし、 $\text{Si}_3\text{N}_4$  膜 25 をマスクにゲート電極材料をエッチング）したのち、 $\text{Si}_3\text{N}_4$  の第一のサイドウォール 26 を設けても良い。この時、 $\text{Si}_3\text{N}_4$  の第一のサイドウォール 26 の下端は、 $\text{Si}_3\text{N}_4$  膜 25 の下端よりも下であっても良いし、上であっても良く、ほぼ同じ高さであっても良い。

【0248】（実施形態 9）実施形態 3～実施形態 8 は、ソース／ドレイン領域間を複数の伝導経路で接続するようにパターンニングされた半導体層（例えば図 10）上にトランジスタを形成する場合に代えて、互いに分離して平行に配列した半導体層よりなる伝導経路上に、ダミーゲート絶縁膜（またはゲート絶縁膜）、ダミーゲート電極（またはゲート電極）を形成し、ゲートサイドウォールを形成したのちに、互いに分離して平行に配列した半導体層の側方に半導体層を選択的にエピタキシャル成長し、エピタキシャル成長した半導体層を互いに接合させることにより、ソース／ドレイン領域と成すトランジスタの製造方法に用いても良い。図 66 及び図 67 にその実施形態を表わす平面図を示す。図 66 は図 41 に  
50 係わる製造方法において領域 42 のレジストを省略した場合、図 67 は図 44 に係わる製造工程においてレジスト 42 を省略した場合に得られる形態を示す。図 66 及び図 67 中の破線 27 は、図 66 及び図 67 に係わる製造方法において、当初形成される互いに分離した半導体層の形状を示す。なお、図 67 において、伝導経路が 2 つの実施形態をとっても良く、発明の効果は変わらない。この場合、平行に配列した半導体層よりなる二つの伝導経路は分離していない点で、図 66 や図 67 の実施形態とは異なるが、幅の広いソース／ドレイン領域が形成されていない点で、図 10 の実施例とも異なる。但し、製造工程の手順においては図 66 や図 67 の場合と全く同一である。なお、図中の記号 22 は第一のサイドウォールを示し、ゲートサイドウォールは第一のサイドウォール 22 の下部に第一のサイドウォール 22 と同じ形状で設けられている。

【0249】（実施形態 10）実施形態 5 のサイドウォールの製造方法は、絶縁体上の半導体層上にゲート電極（またはダミーゲート電極）を設ける場合に限らず、バルク基板上の凹凸のある半導体領域上に設けられたゲー  
50



ト電極（またはダミーゲート電極）にゲートサイドウォールを設ける際に用いても良い。

【0250】また、絶縁体上の半導体層上に設けられる電界効果型トランジスタにおいてゲート電極（あるいはダミーゲート電極）の下部に半導体層が残存する形態に対して用いても良い。

【0251】また、バルク基板上的の凹凸のある半導体領域上、絶縁体上の半導体層上に設けられる電界効果型トランジスタにおいてゲート電極の下部に半導体層が残存する形態のいずれにおいても、伝導経路が単数である場合、複数である場合のいずれに用いても良い。

【0252】また、凹凸のある半導体領域上に設けられるいかなる電界効果型トランジスタのゲート電極（もしくはダミーゲート電極）に対してサイドウォールを設ける場合に対して用いても良い。

【0253】なお、図71、図72はバルク基板上的の凹凸のある半導体領域上に設けられたゲート電極（またはダミーゲート電極）にゲートサイドウォールを設けた場合の形態、図73、図74は絶縁体上の半導体層上に設けられる電界効果型トランジスタにおいてゲート電極の下部に半導体層が残存する形態について、それぞれ図10のA10-A10'線断面、B10-B10'線断面に相当する位置で描いた断面図である。図中の下部SiO<sub>2</sub>膜28は、例えば図10に相当する形状を形成後、全体にCVDによりSiO<sub>2</sub>膜を堆積し、その表面を平坦化したのち、RIEによりエッチバックすることにより得られるもので、ゲート電極下部（ダミーゲート電極の除去後に埋め込まれるゲート電極の下部も含む）と、シリコン基板間の容量を低減する効果がある。なお、図71及び図72のシリコン基板1、図73及び図74の下部シリコン層29において、チャネル形成領域7よりも下の部分には、通常は $3 \times 10^{17} \text{ cm}^{-3}$ 以上、好ましくは $3 \times 10^{18} \text{ cm}^{-3}$ 以上の濃度の、チャネルタイプとは異なる導電型の不純物が導入されている。

【0254】

【発明の効果】以上説明したように本発明の電界効果型トランジスタの製造方法及び電界効果型トランジスタの構造によれば、凹凸のある半導体領域上に形成される電界効果型トランジスタの製造方法において、ゲート電極に絶縁膜の側壁を設けるとともに、凹凸のある半導体領域の側面は絶縁膜に覆われていない構造を形成することができる。

【0255】さらに本発明の電界効果型トランジスタの製造方法及び電界効果型トランジスタの構造によれば、凹凸のある半導体領域上に形成される電界効果型トランジスタの製造方法において、ゲート電極の形成のために設けられるダミーゲート電極に絶縁膜の側壁を設けるとともに、凹凸のある半導体領域の側面は絶縁膜に覆われていない構造を形成することができる。

【0256】したがって本発明によれば、特にLSIを

構成する微細な縦型電界効果型トランジスタ、半導体層の両側にゲート電極を持つ、ダブルゲート縦型電界効果型トランジスタに対して有効である。

【図面の簡単な説明】

【図1】本発明の実施形態を示す鳥瞰図である。

【図2】本発明の実施形態を示す平面図である。

【図3】本発明の実施形態を示す断面図である。

【図4】本発明の実施形態を示す断面図である。

【図5】本発明の実施形態を示す断面図である。

【図6】本発明の実施形態を示す平面図である。

【図7】本発明の実施形態を示す平面図である。

【図8】本発明の実施形態を示す断面図である。

【図9】本発明の実施形態を示す鳥瞰図である。

【図10】本発明の実施形態を示す鳥瞰図である。

【図11】本発明の実施形態を示す断面図である。

【図12】本発明の実施形態を示す断面図である。

【図13】本発明の実施形態を示す断面図である。

【図14】本発明の実施形態を示す断面図である。

【図15】本発明の実施形態を示す平面図である。

【図16】本発明の実施形態を示す断面図である。

【図17】本発明の実施形態を示す断面図である。

【図18】本発明の実施形態を示す断面図である。

【図19】本発明の実施形態を示す断面図である。

【図20】本発明の実施形態を示す断面図である。

【図21】本発明の実施形態を示す断面図である。

【図22】本発明の実施形態を示す断面図である。

【図23】本発明の実施形態を示す断面図である。

【図24】本発明の実施形態を示す断面図である。

【図25】本発明の実施形態を示す断面図である。

【図26】本発明の実施形態を示す断面図である。

【図27】本発明の実施形態を示す平面図である。

【図28】本発明の実施形態を示す平面図である。

【図29】本発明の実施形態を示す平面図である。

【図30】本発明の実施形態を示す平面図である。

【図31】本発明の実施形態を示す平面図である。

【図32】本発明の実施形態を示す平面図である。

【図33】本発明の実施形態を示す平面図である。

【図34】本発明の実施形態を示す平面図である。

【図35】本発明の実施形態を示す平面図である。

【図36】本発明の実施形態を示す断面図である。

【図37】本発明の実施形態を示す断面図である。

【図38】本発明の実施形態を示す断面図である。

【図39】本発明の実施形態を示す鳥瞰図である。

【図40】本発明の実施形態を示す平面図である。

【図41】本発明の実施形態を示す平面図である。

【図42】本発明の実施形態を示す平面図である。

【図43】本発明の実施形態を示す平面図である。

【図44】本発明の実施形態を示す平面図である。

【図45】本発明の実施形態を示す平面図である。

【図46】本発明の実施形態を示す平面図である。

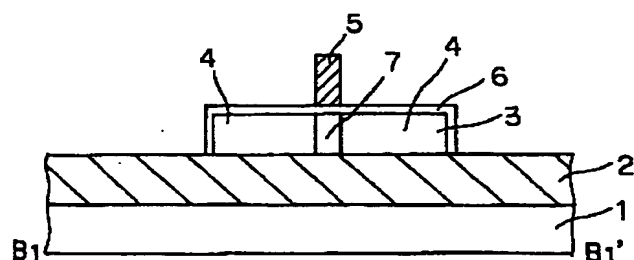
47

- 【図 47】本発明の実施形態を示す平面図である。  
 【図 48】本発明の実施形態を示す鳥瞰図である。  
 【図 49】本発明の実施形態を示す鳥瞰図である。  
 【図 50】従来の技術を説明する鳥瞰図である。  
 【図 51】本発明の製造方法の効果を説明するための平面図である。  
 【図 52】従来の素子構造を示す平面図である。  
 【図 53】本発明の素子構造を説明するための断面図である。  
 【図 54】本発明の効果を説明する平面図である。  
 【図 55】本発明の効果を説明する平面図である。  
 【図 56】本発明の効果を説明する断面図である。  
 【図 57】本発明の効果を説明する断面図である。  
 【図 58】本発明の実施形態を示す断面図である。  
 【図 59】本発明の実施形態を示す断面図である。  
 【図 60】本発明の実施形態を示す断面図である。  
 【図 61】本発明の実施形態を示す断面図である。  
 【図 62】本発明の実施形態を示す断面図である。  
 【図 63】本発明の実施形態を示す断面図である。  
 【図 64】本発明の実施形態を示す断面図である。  
 【図 65】本発明の実施形態を示す断面図である。  
 【図 66】本発明の実施形態を示す断面図である。  
 【図 67】本発明の実施形態を示す断面図である。  
 【図 68】本発明の実施形態を示す断面図である。  
 【図 69】本発明の実施形態を示す鳥瞰図である。  
 【図 70】本発明の実施形態を示す平面図である。  
 【図 71】本発明の実施形態を示す断面図である。  
 【図 72】本発明の実施形態を示す断面図である。  
 【図 73】本発明の実施形態を示す断面図である。  
 【図 74】本発明の実施形態を示す断面図である。  
 【図 75】本発明の実施形態を示す断面図である。

## 【符号の説明】

- 1 シリコン基板  
 2 埋め込み絶縁層  
 3 半導体層  
 4 ソース／ドレイン領域  
 5 ゲート電極  
 6 ゲート絶縁膜

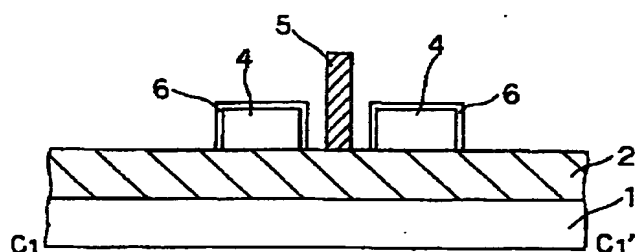
【図 4】



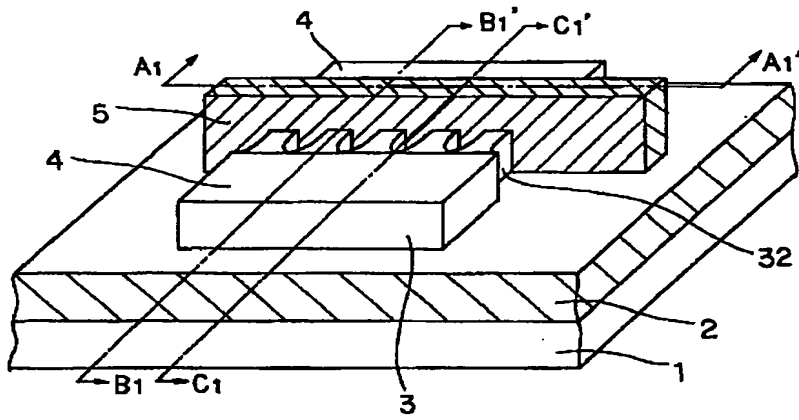
48

- 7 チャネル形成領域  
 8 パッド酸化膜  
 9  $\text{Si}_3\text{N}_4$ 膜  
 10 開口部  
 11 ダミーゲート電極  
 12 PSG膜  
 13 層間絶縁膜  
 14 ゲート絶縁膜  
 15 素子領域  
 10 16 ソース／ドレインコンタクト  
 17 ゲートコンタクト  
 18 ダミーゲート絶縁膜  
 19 開口形成領域  
 20 20 第2の $\text{Si}_3\text{N}_4$ 膜  
 21 第2の $\text{SiO}_2$ 膜  
 22 第1のサイドウォール  
 23 層間絶縁膜  
 24 金属配線  
 25 ゲート上 $\text{Si}_3\text{N}_4$ 膜  
 20 26  $\text{Si}_3\text{N}_4$ の第一のサイドウォール  
 27 当初形成される半導体層  
 28 下部CVD $\text{SiO}_2$ 膜  
 29 下部シリコン層  
 31 伝導経路配置領域  
 32 ソース／ドレイン接続部  
 33 伝導経路  
 34 開口配列領域  
 35 一つの伝導経路  
 36 ゲート側面ーソース／ドレイン側面間容量  
 30 41 第二のマスク材料  
 42 レジストパターンの範囲（形成領域）  
 43 第二のマスク形成用ダミーパターン  
 44 レジストパターンの範囲（形成領域）  
 101 半導体基板  
 102 絶縁体  
 103 半導体層  
 104 ゲート絶縁膜  
 105 ゲート電極

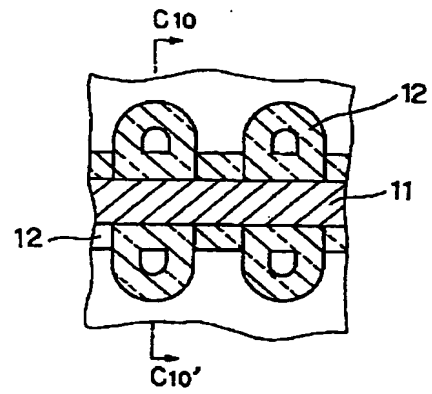
【図 5】



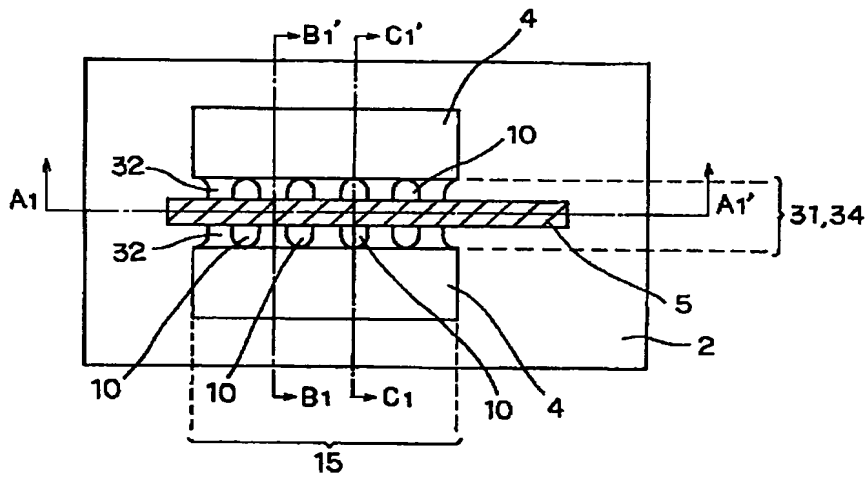
【図 1】



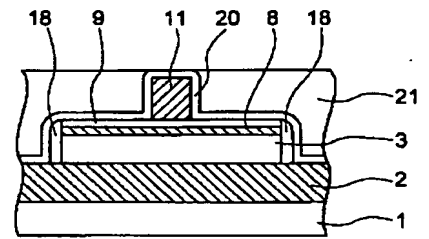
【図 15】



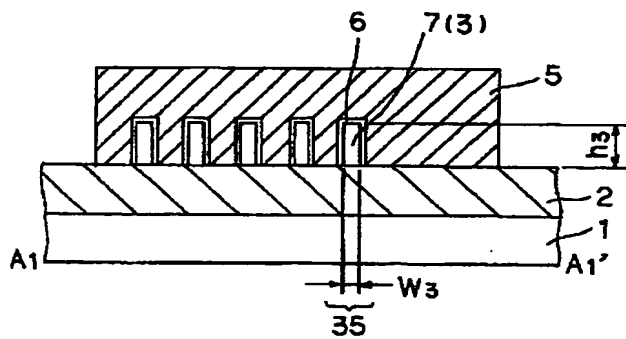
【図 2】



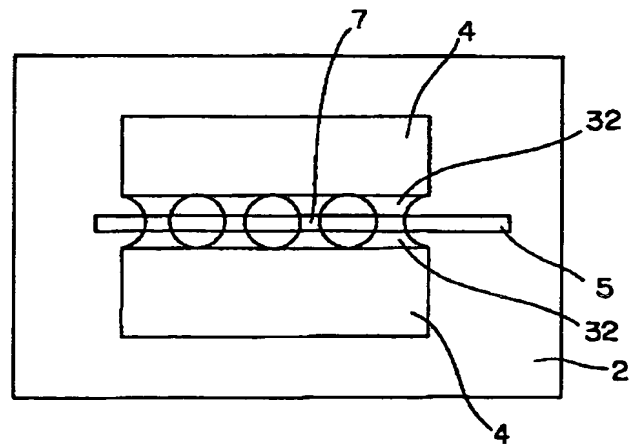
【図 20】



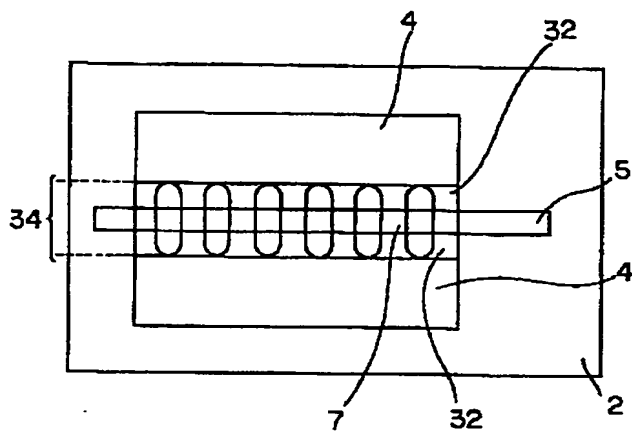
【図 3】



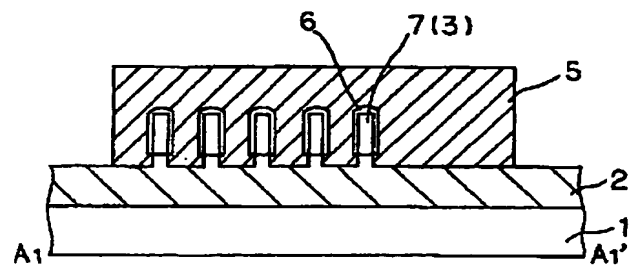
【図 6】



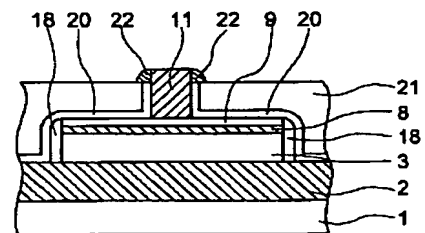
【図 7】



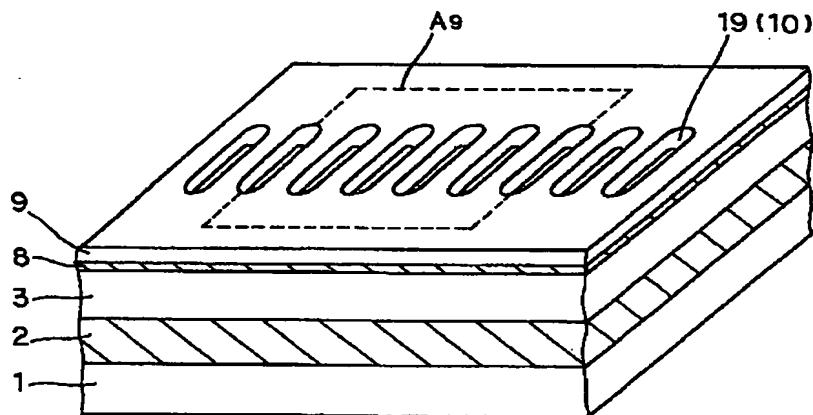
【図 8】



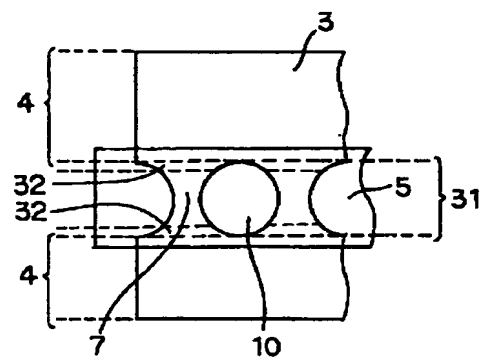
【図 21】



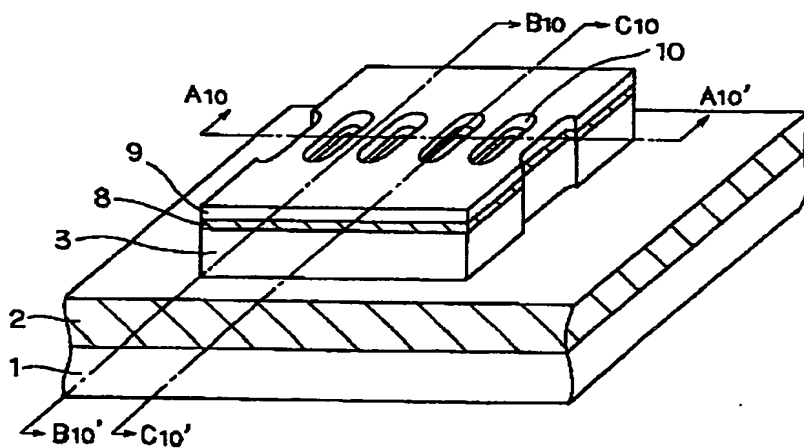
【図 9】



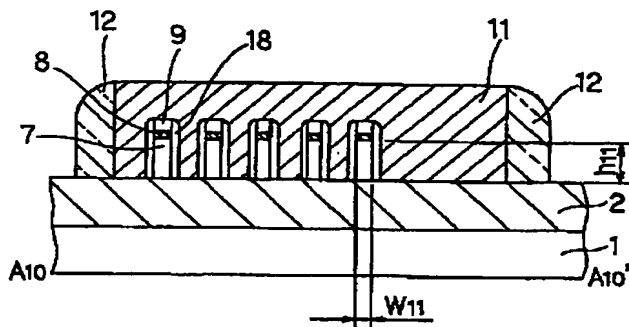
【図 28】



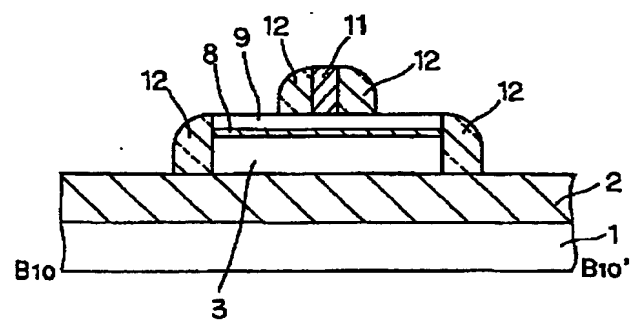
【図 10】



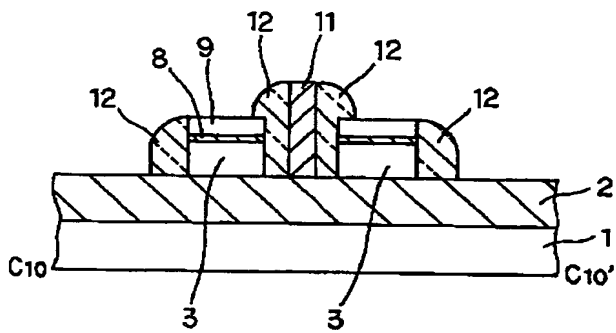
【図 11】



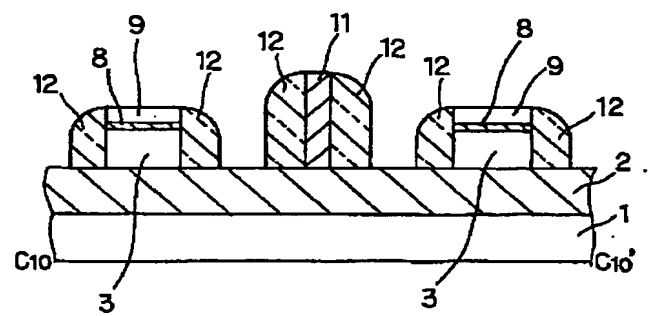
【図 12】



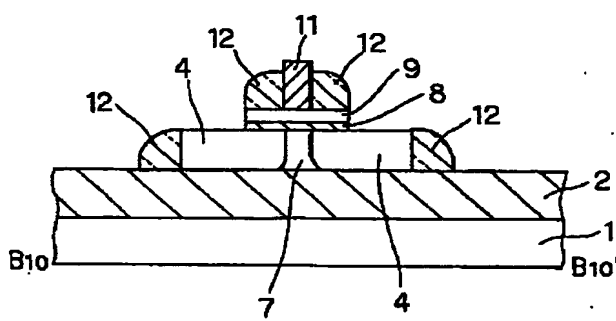
【図 13】



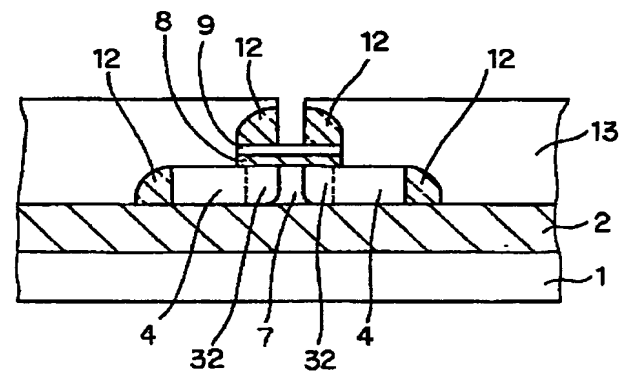
【図 14】



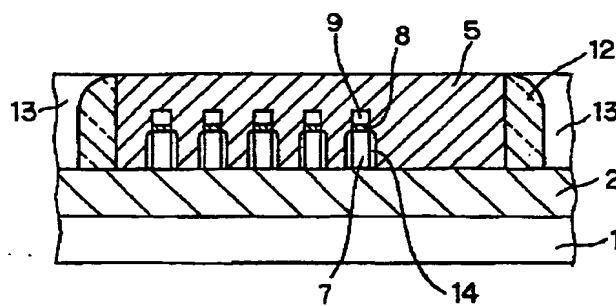
【図 16】



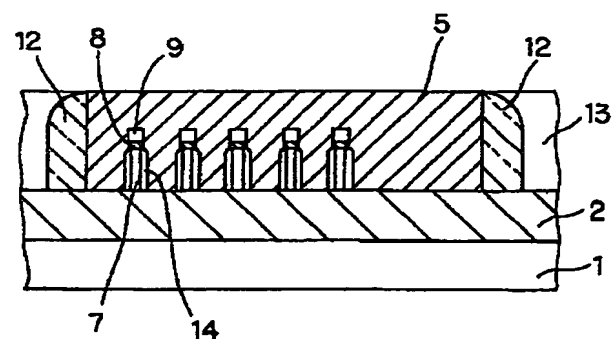
【図 17】



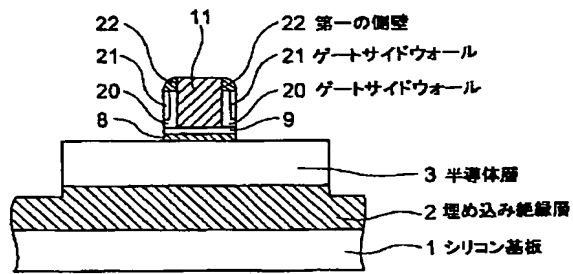
【図 18】



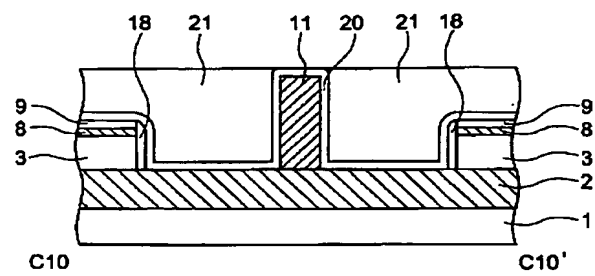
【図 19】



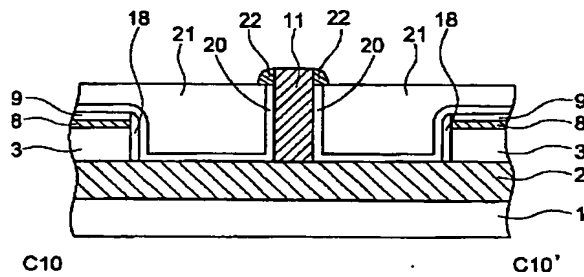
【図 22】



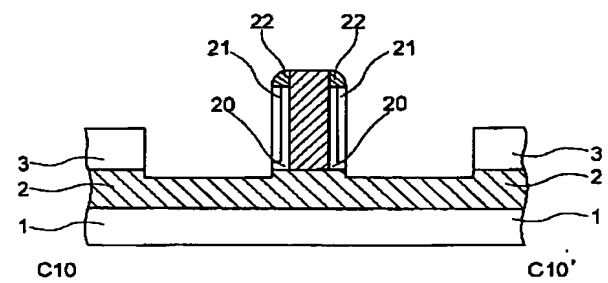
【図 23】



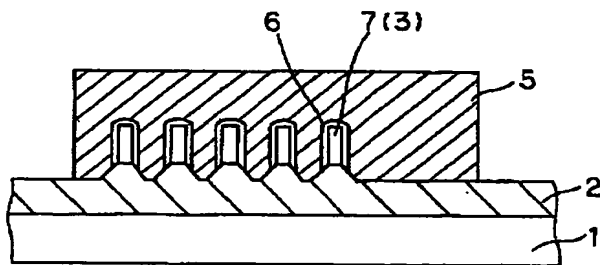
【図 24】



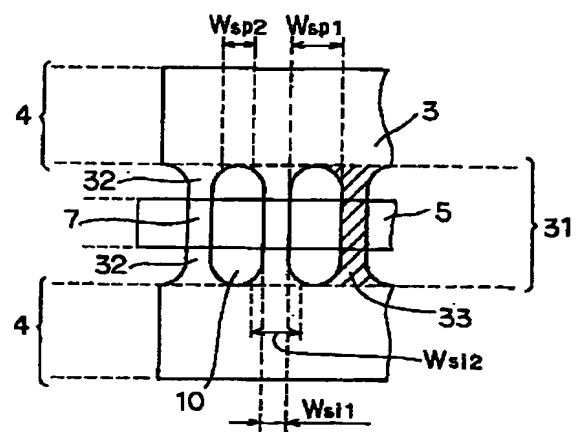
【図 25】



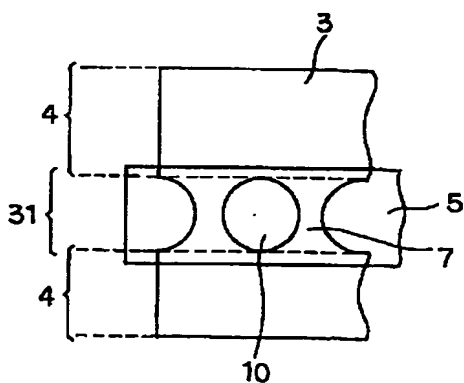
【図 26】



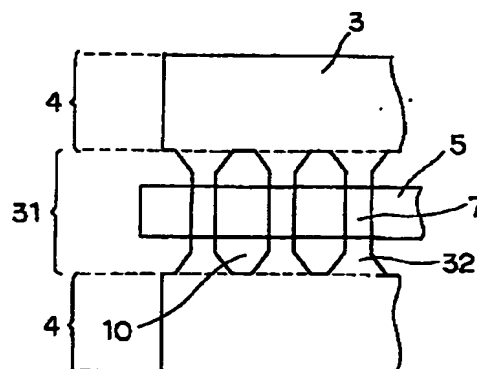
【図 27】



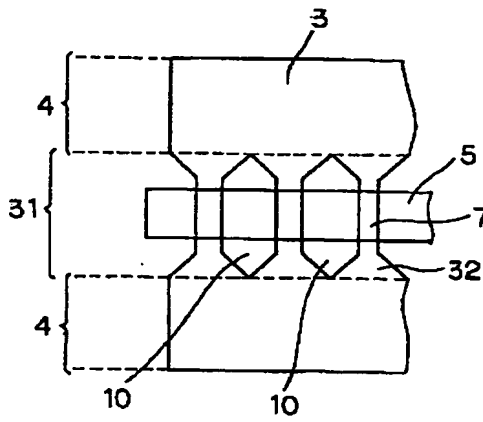
【図 29】



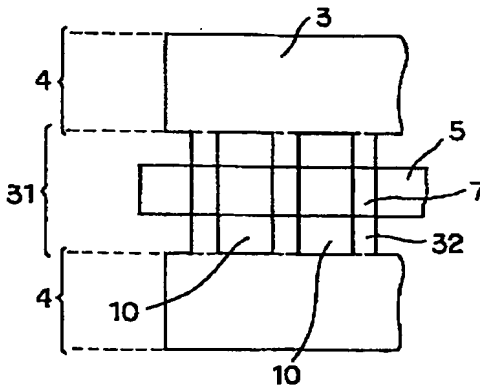
【図 30】



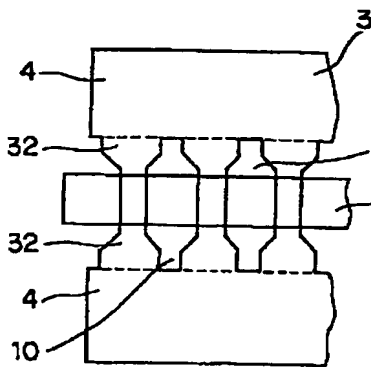
【図 31】



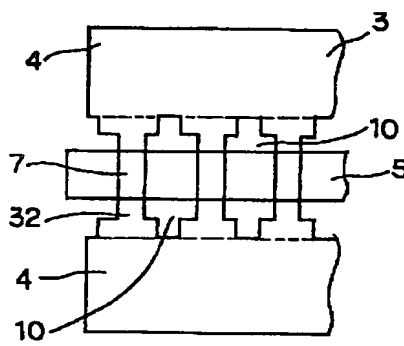
【図 32】



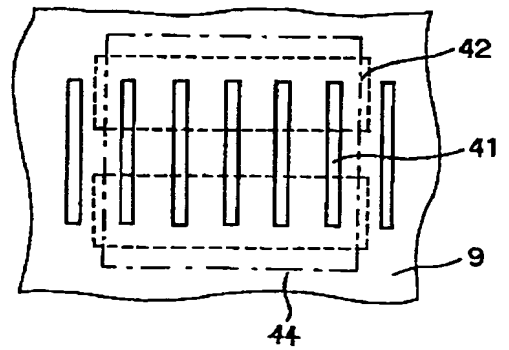
【図 33】



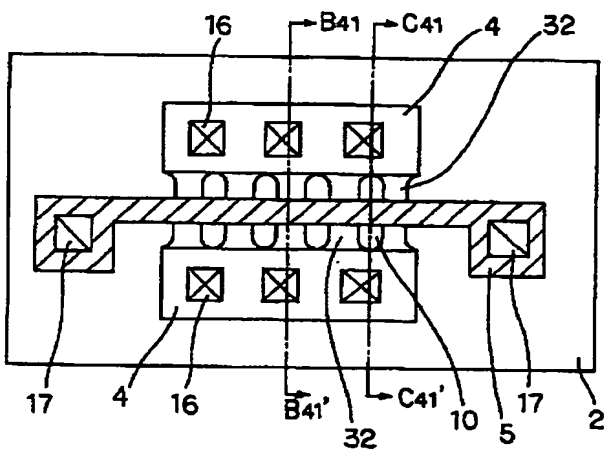
【図 34】



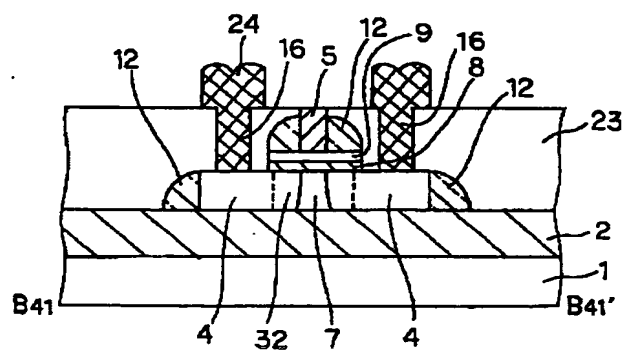
【図 41】



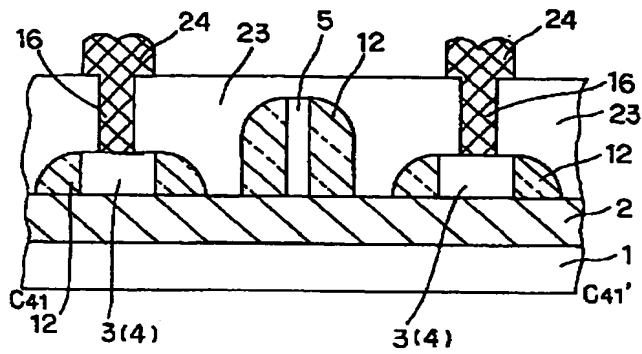
【図 35】



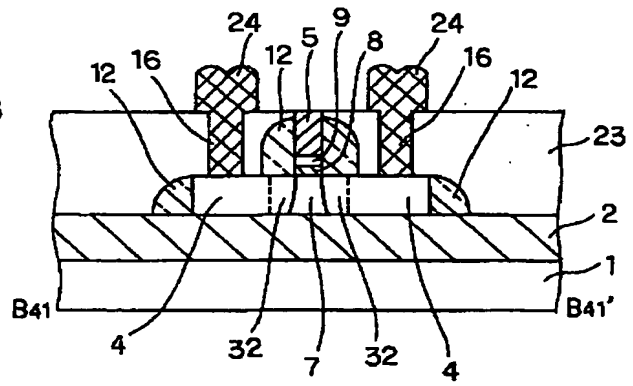
【図 36】



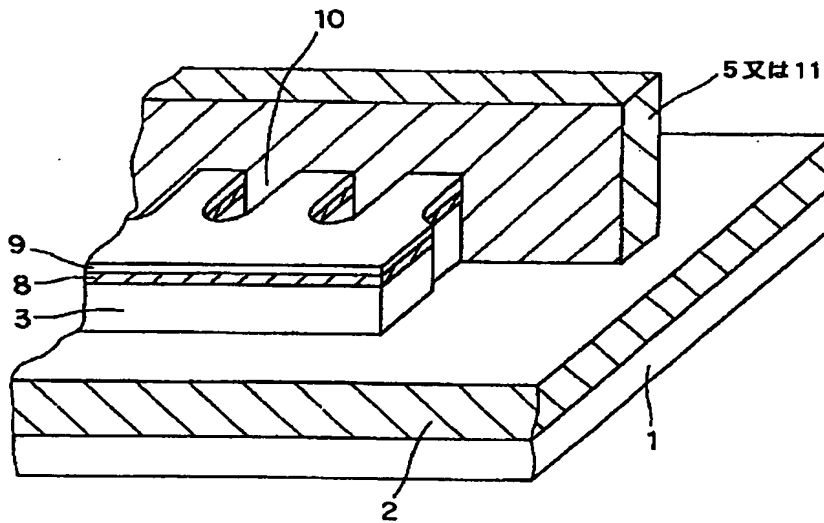
【図 37】



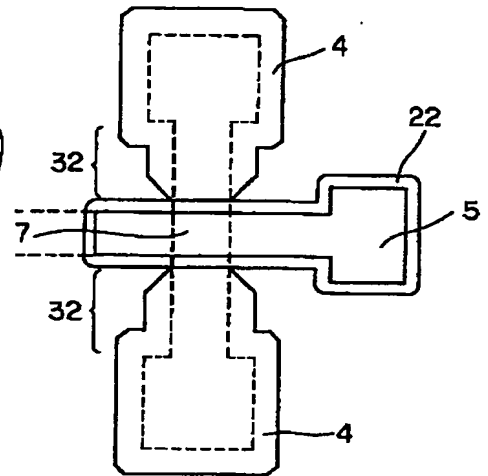
【図 38】



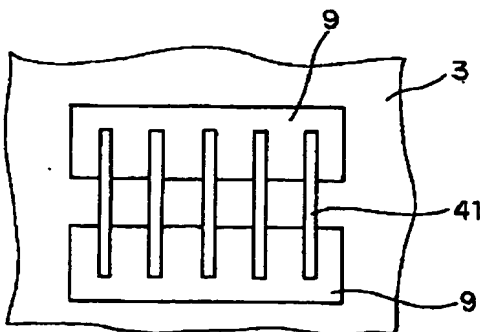
【図 39】



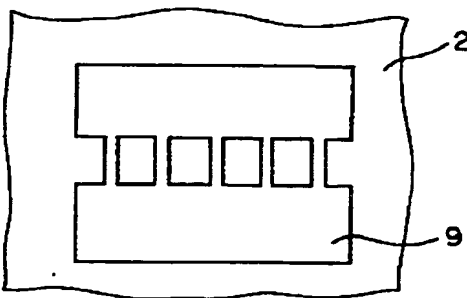
【図 40】



【図 42】

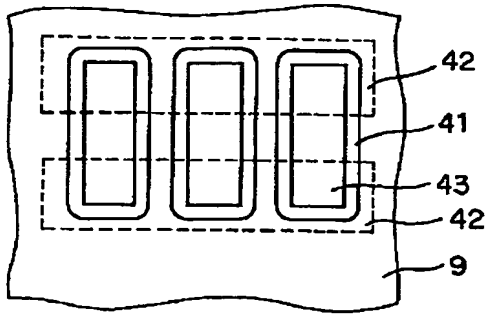


【図 43】

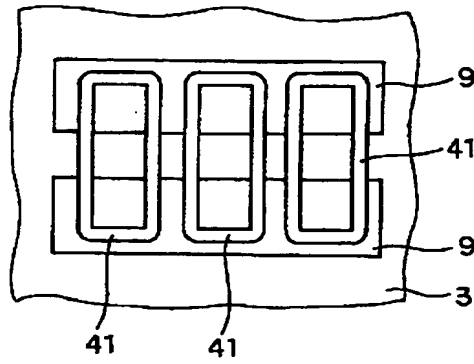




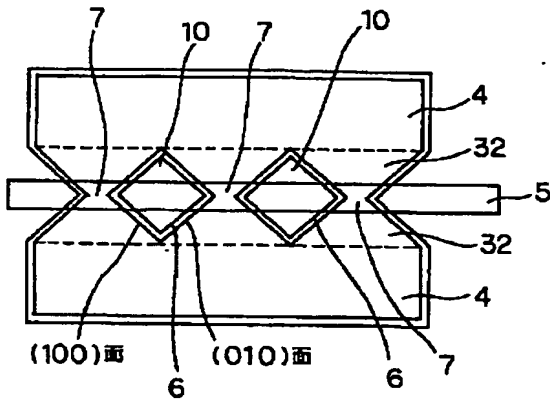
【図 44】



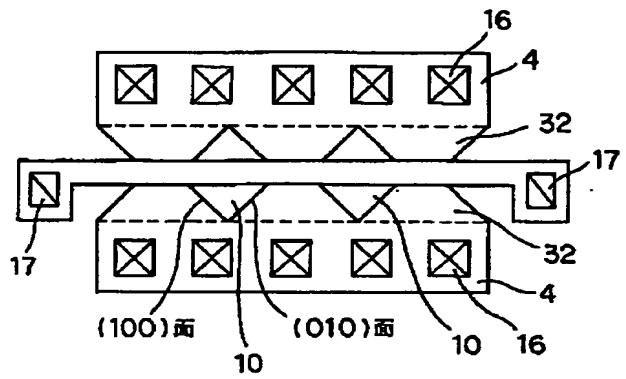
【図 45】



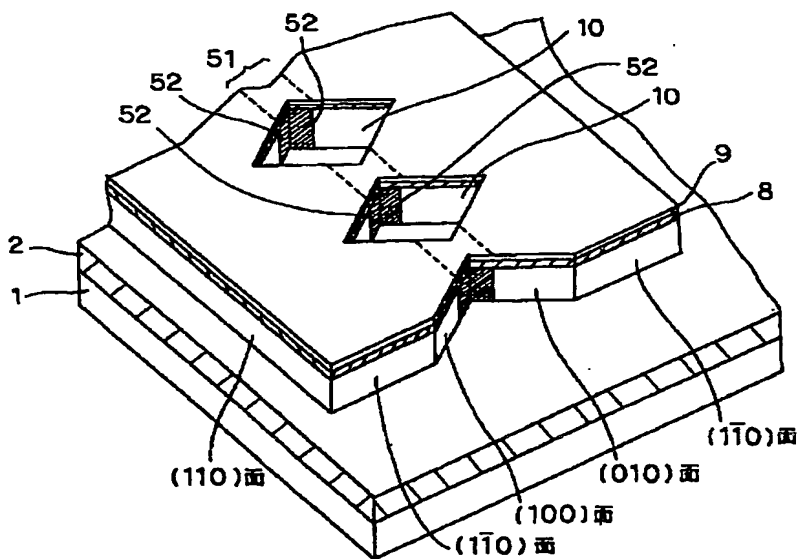
【図 46】



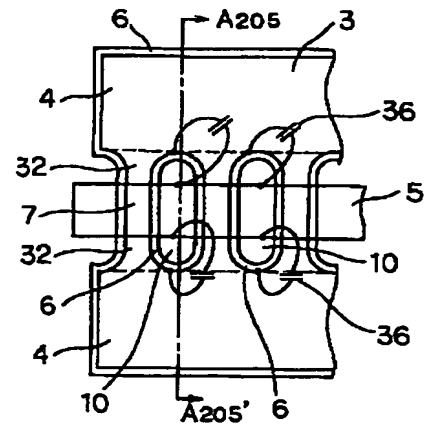
【図 47】



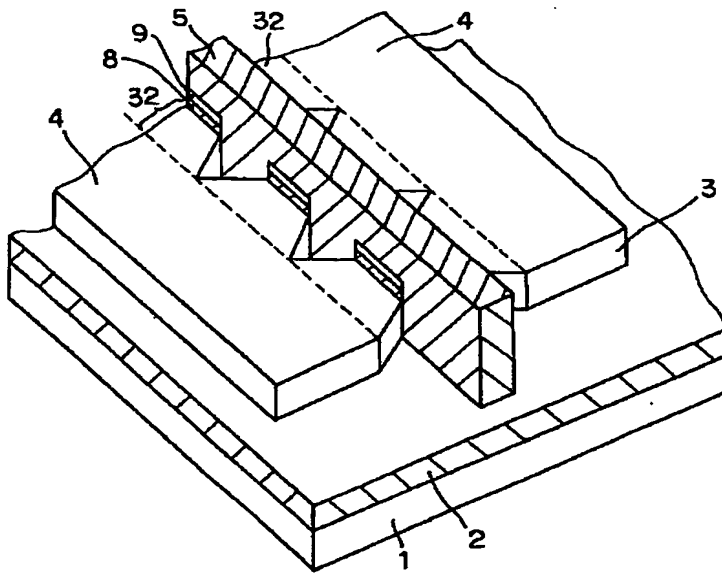
【図 48】



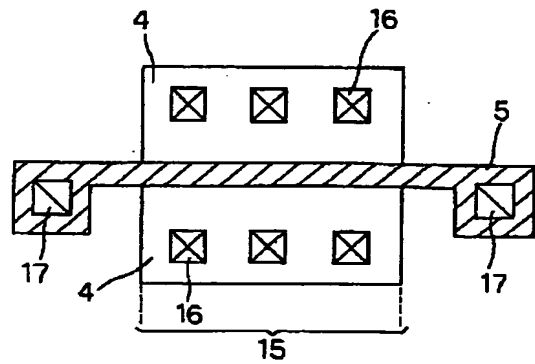
【図 54】



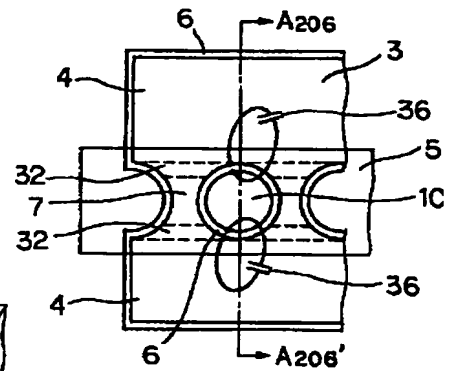
【図 49】



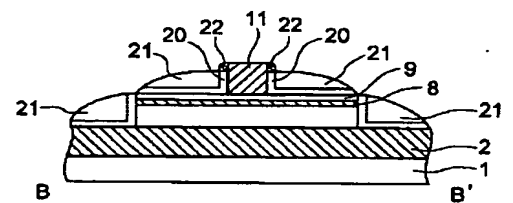
【図 52】



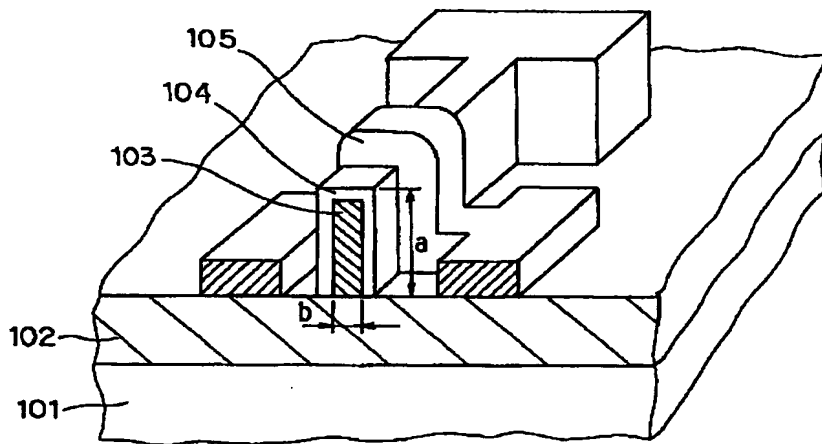
【図 55】



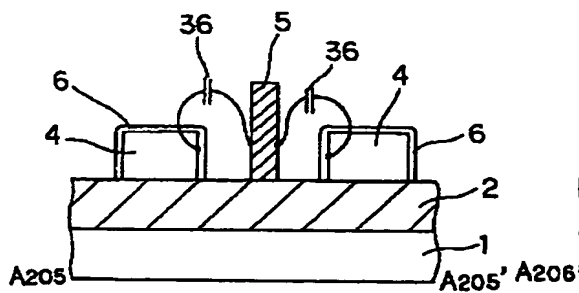
【図 61】



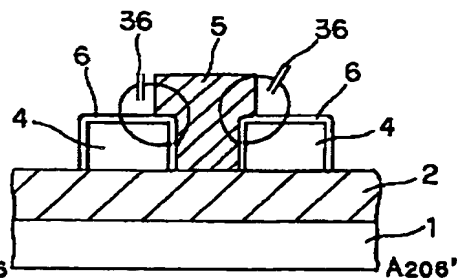
【図 50】



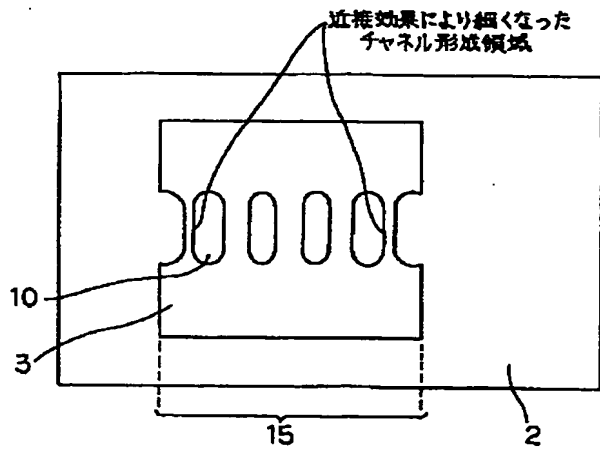
【図 56】



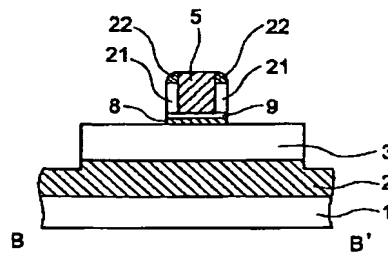
【図 57】



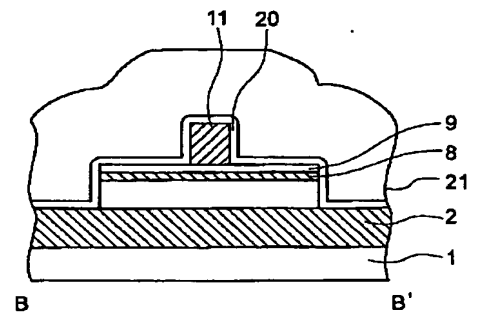
【図 5 1】



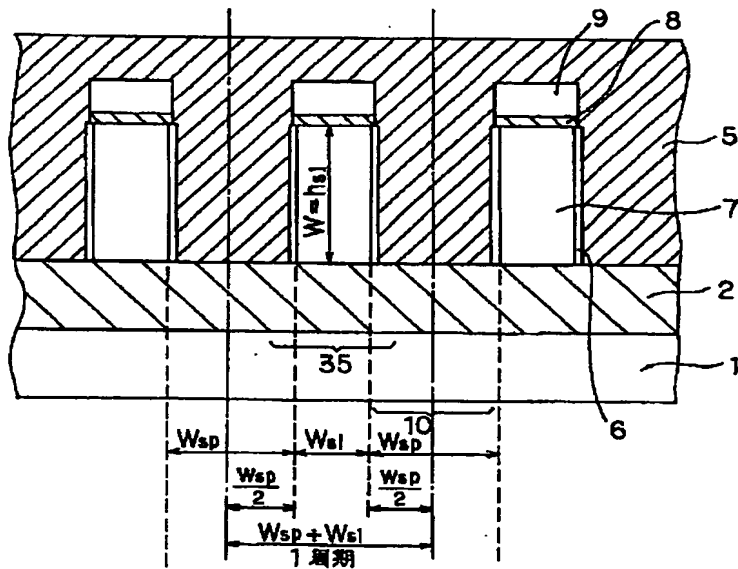
【図 5 8】



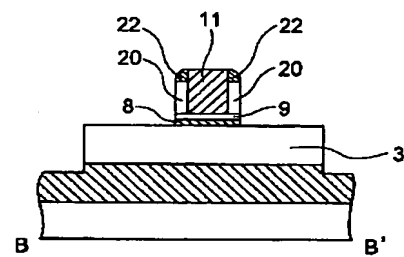
【図 6 0】



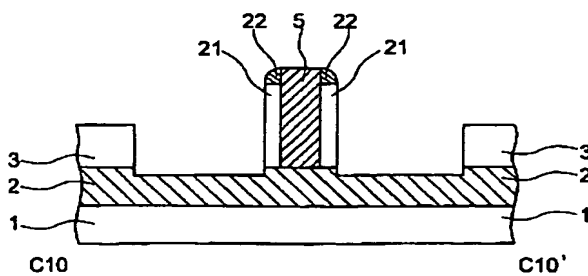
【図 5 3】



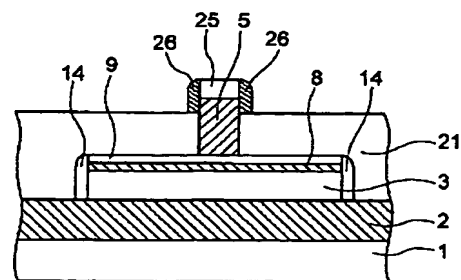
【図 6 4】



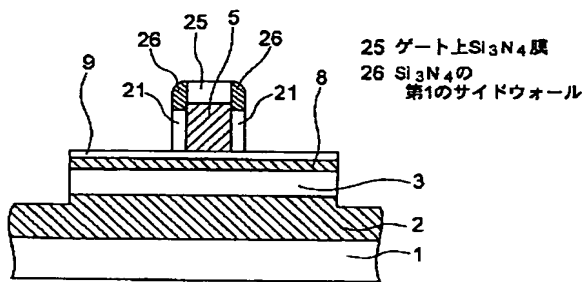
【図 5 9】



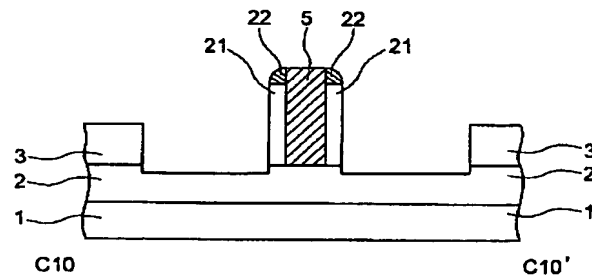
【図 6 2】



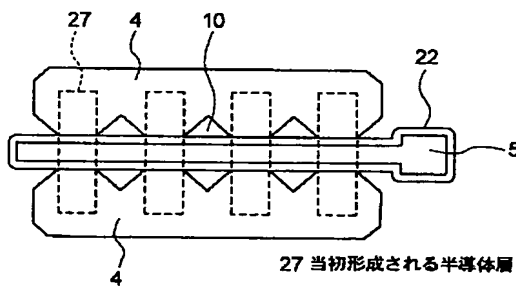
【図 6 3】



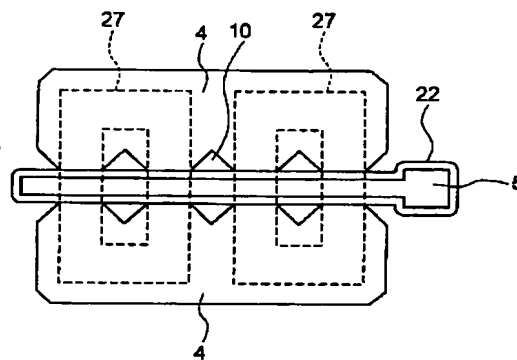
【図 6 5】



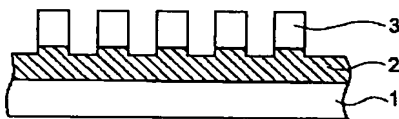
【図 6 6】



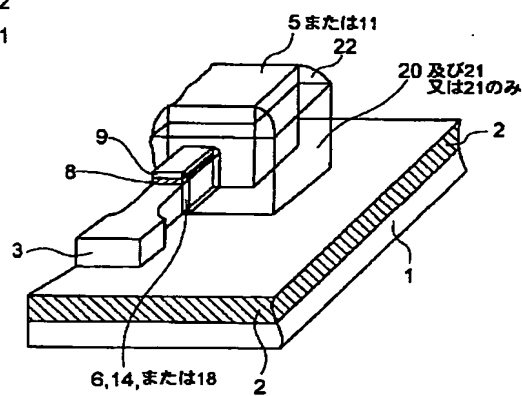
【図 6 7】



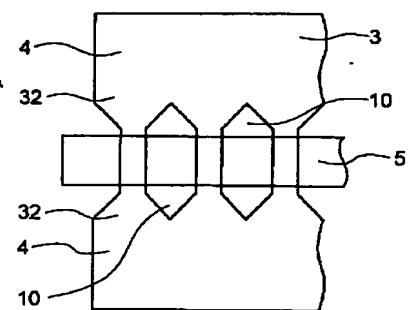
【図 6 8】



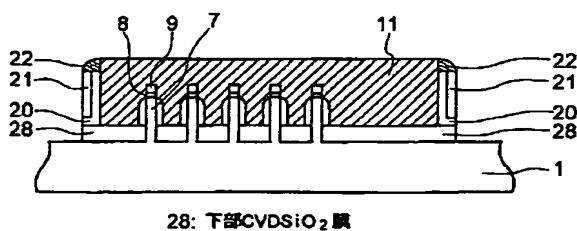
【図 6 9】



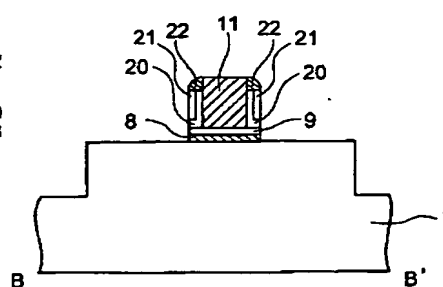
【図 7 0】



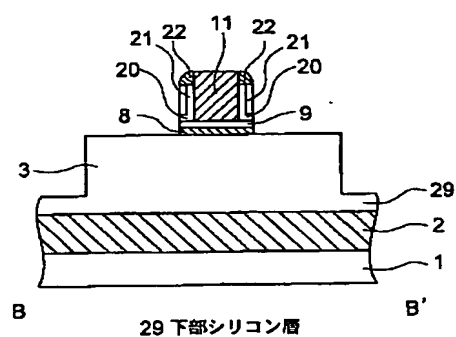
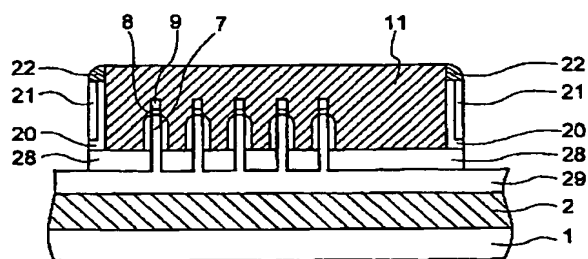
【図 7 1】



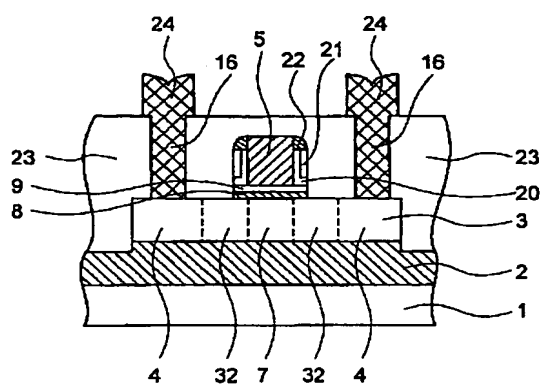
【図 7 2】



【图 7 4】



【図 7 5】



Fターム(参考) 5F110 AA01 AA02 AA06 AA15 AA30  
BB04 CC02 DD01 DD03 DD04  
DD05 DD12 DD13 DD14 EE01  
EE04 EE05 EE08 EE09 EE22  
EE24 EE32 FF02 FF03 FF09  
FF12 FF13 FF23 FF29 FF35  
FF36 FF40 GG02 GG12 GG22  
GG24 GG26 GG28 GG30 GG32  
GG34 GG35 HJ01 HJ04 HJ13  
HJ16 HJ18 HK05 HK08 HK09  
HK13 HK14 HK16 HL03 HL23  
HL24 HM02 HM04 HM15 NN02  
NN23 NN24 NN25 PP03 PP08  
QQ01 QQ08 QQ10 QQ17 QQ19